

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-317464

(43)Date of publication of application : 16.11.1999

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 10-325431

(71)Applicant : SONY CORP

(22)Date of filing : 16.11.1998

(72)Inventor : AOZASA HIROSHI
TERANO TOSHIO

(30)Priority

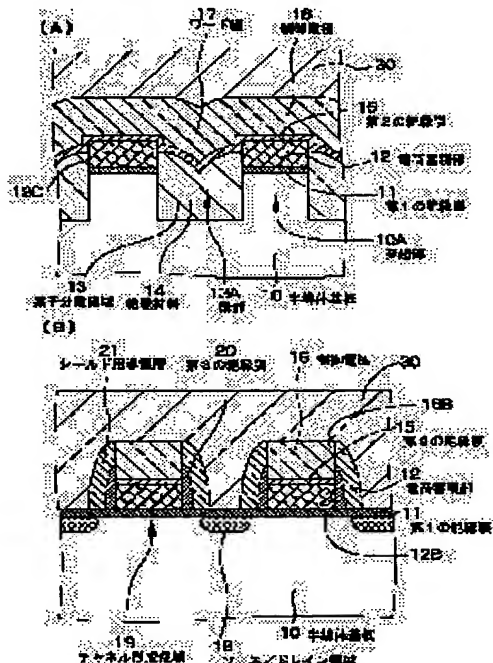
Priority number : 10 49774 Priority date : 02.03.1998 Priority country : JP

(54) ELECTRICALLY REWRITABLE MEMORY DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the capacitance-coupling ratio between a source/drain region and an electric charge accumulation part from decreasing by forming a conductive layer for shielding that is retained at the same potential as a control electrode via an insulation film on the sidewall surface of an electric charge accumulation part, in parallel with a direction where the control electrode and a word line are extended.

SOLUTION: A memory element with an electric charge accumulation part 12 that is a floating electrode covered with insulation films 11, 15 and 20 is formed between a control electrode 16 and a channel formation region 19 being formed on a semiconductor substrate 10. Then, a conductive layer 21 for shielding being retained at the same potential as the control electrode 16 is formed on a sidewall surface 12B of the electric charge accumulation part 12, in parallel with a direction where the control electrode 16 and the word line 17 are extended via the third insulation film 20, thus increasing a capacitance-coupling ratio, as compared with prior art and reducing an operation voltage and a power supply voltage. Also, area increase in a boosting circuit and increase in boosting time can also be suppressed, thus highly integrating and making fine a memory element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

BEST AVAILABLE COPY

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

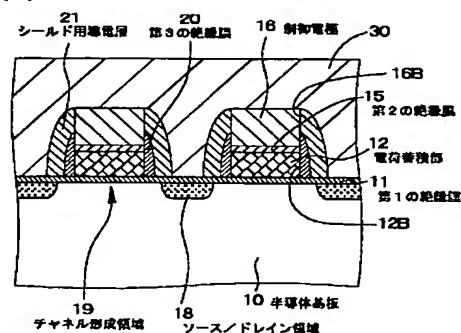
[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号



1

【特許請求の範囲】

【請求項 1】 (イ) 半導体基板に形成された、チャネル形成領域及びソース／ドレイン領域と、

(ロ) 半導体基板に形成され、チャネル形成領域及びソース／ドレイン領域に沿って設けられた素子分離領域と、

(ハ) チャネル形成領域の上方に、第 1 の絶縁膜を介して形成された電荷蓄積部と、

(ニ) 電荷蓄積部の上方に、第 2 の絶縁膜を介して形成された制御電極と、

(ホ) 制御電極から延在し、素子分離領域上に位置するワード線と、

(ヘ) 制御電極及びワード線の延びる方向と平行な電荷蓄積部の側壁面上に第 3 の絶縁膜を介して形成され、制御電極と同電位に保持されたシールド用導電層、から成ることを特徴とする電氣的書き換えが可能なメモリ素子。

【請求項 2】 制御電極とシールド用導電層とは電氣的に接続されていることを特徴とする請求項 1 に記載の電氣的書き換えが可能なメモリ素子。

【請求項 3】 第 3 の絶縁膜は電荷蓄積部の側壁面及び制御電極の側壁面の一部を被覆し、シールド用導電層は第 3 の絶縁膜で被覆されていない制御電極の側壁面まで延在し、以て、制御電極とシールド用導電層とが接続されていることを特徴とする請求項 2 に記載の電氣的書き換 *

$$V_{in} = \{ (C_1 + C_2) / (C_1 + C_2 + C_{1in}) \} \times V_{cg} \quad (1)$$

【請求項 9】 (イ) 半導体基板に形成された、チャネル形成領域及びソース／ドレイン領域と、

(ロ) 半導体基板に形成され、チャネル形成領域及びソース／ドレイン領域に沿って設けられた素子分離領域と、

(ハ) 少なくともチャネル形成領域の上方に、第 1 の絶縁膜を介して形成された電荷蓄積部と、

(ニ) 電荷蓄積部の上方に、第 2 の絶縁膜を介して形成された制御電極と、

(ホ) 制御電極から延在し、素子分離領域上に位置するワード線と、

(ヘ) 制御電極及びワード線の延びる方向と平行な電荷蓄積部の側壁面上に第 3 の絶縁膜を介して形成され、制御電極と同電位に保持されたシールド用導電層、から構成された電氣的書き換えが可能なメモリ素子の製造方法であって、

(A) 半導体基板表面に第 1 の絶縁膜を形成した後、該第 1 の絶縁膜上に第 1 の材料層を堆積させ、次いで、該第 1 の材料層をパターニングする工程と、

(B) パターニングされた第 1 の材料層によって被覆されていない半導体基板の領域に、素子分離領域を形成する工程と、

(C) 全面に第 2 の絶縁膜を堆積させた後、第 2 の材料層を該第 2 の絶縁膜上に堆積させ、次いで、第 2 の材料

2

* えが可能なメモリ素子。

【請求項 4】 第 3 の絶縁膜は、ソース／ドレイン領域の上方まで延在していることを特徴とする請求項 3 に記載の電氣的書き換えが可能なメモリ素子。

【請求項 5】 素子分離領域は、半導体基板に形成された溝部、及び、該溝部を埋める絶縁材料から構成されていることを特徴とする請求項 1 に記載の電氣的書き換えが可能なメモリ素子。

【請求項 6】 電荷蓄積部は、導電材料から構成された浮遊電極から成ることを特徴とする電氣的書き換えが可能なメモリ素子。

【請求項 7】 電荷蓄積部は、絶縁層、及び、該絶縁層中に形成された導電性微小結晶粒子から成ることを特徴とする請求項 1 に記載の電氣的書き換えが可能なメモリ素子。

【請求項 8】 制御電極と電荷蓄積部との間の容量値を C_1 、シールド用導電層と電荷蓄積部との間の容量値を C_2 、電荷蓄積部とチャネル形成領域との間の容量値を C_{1in} とし、制御電極及びシールド用導電層に電位 V_{cg} を印加したとき、電荷蓄積部とチャネル形成領域との間に式 (1) で表される電位 V_{in} が発生することを特徴とする請求項 1 に記載の電氣的書き換えが可能なメモリ素子。

【数 1】

層、第 2 の絶縁膜及び第 1 の材料層をパターニングし、以て、第 2 の材料層から成る制御電極及びワード線、並びに、第 1 の材料層から成る電荷蓄積部を形成する工程と、

(D) 制御電極及びワード線の延びる方向と平行な電荷蓄積部の側壁面上に第 3 の絶縁膜を介してシールド用導電層を形成する工程と、

(E) 電荷蓄積部の下方の半導体基板にチャネル形成領域を形成し、併せて、チャネル形成領域から延在する半導体基板の領域にソース／ドレイン領域を形成する工程、から成ることを特徴とする電氣的書き換えが可能なメモリ素子の製造方法。

【請求項 10】 前記工程 (B) は、

(B-1) パターニングされた第 1 の材料層によって被覆されていない半導体基板の領域に溝部を形成する工程と、

(B-2) 全面に絶縁材料を堆積させた後、該絶縁材料をエッチバックし、以て、半導体基板に形成された溝部、及び、該溝部を埋める絶縁材料から構成された素子分離領域を形成し、併せて、第 1 の材料層が絶縁材料から突出した構造を得る工程、から成ることを特徴とする請求項 9 に記載の電氣的書き換えが可能なメモリ素子の製造方法。

【請求項 11】 前記工程 (B-1) は、第 1 の材料層を

10

30

40

50

3

パターニングするためのエッチング用マスクを用いて半導体基板をエッチングする工程から成ることを特徴とする請求項 10 に記載の電氣的書き換えが可能なメモリ素子の製造方法。

【請求項 12】前記工程 (D) は、

(D-1) 全面に第 3 の絶縁膜を堆積させた後、第 3 の絶縁膜を部分的に除去することによって、電荷蓄積部の側壁面、及び制御電極の側壁面の一部を被覆する第 3 の絶縁膜を得る工程と、

(D-2) 導電体から成る第 3 の材料層を全面に堆積させた後、第 3 の材料層をエッチバックし、以て、第 3 の絶縁膜で被覆されていない制御電極の側壁面まで延在し、第 3 の材料層から成り、制御電極と接続されたシールド用導電層を得る工程、から成ることを特徴とする請求項 9 に記載の電氣的書き換えが可能なメモリ素子の製造方法。

【請求項 13】前記工程 (D-1) は、全面に第 3 の絶縁膜を堆積させた後、制御電極の頂面上の第 3 の絶縁膜を除去し、次いで、第 3 の絶縁膜をエッチバックする工程から成ることを特徴とする請求項 12 に記載の電氣的書き換えが可能なメモリ素子の製造方法。

【請求項 14】前記工程 (D) は、

(D-1) 全面に第 3 の絶縁膜を堆積させた後、第 3 の絶縁膜上に第 4 の材料層を堆積させる工程と、

(D-2) 第 4 の材料層及び第 3 の絶縁膜を部分的に除去し、以て、少なくとも制御電極の頂面を露出させる工程と、

(D-3) 第 4 の材料層を除去する工程と、

(D-4) 導電体から成る第 3 の材料層を全面に堆積させた後、第 3 の材料層をエッチバックし、以て、第 3 の絶縁膜で被覆されていない制御電極の部分まで延在し、第 3 の材料層から成り、制御電極と接続されたシールド用導電層を得る工程、から成ることを特徴とする請求項 9 に記載の電氣的書き換えが可能なメモリ素子の製造方法。

【請求項 15】前記工程 (D-2) において、第 4 の材料層及び第 3 の絶縁膜をエッチバックし、以て、電荷蓄積部の側壁面及び制御電極の側壁面の一部を被覆し、且つ、半導体基板の上方まで延在する第 3 の絶縁膜を得ることを特徴とする請求項 14 に記載の電氣的書き換えが可能なメモリ素子の製造方法。

【請求項 16】前記工程 (D-2) と工程 (D-3) との間で、露出した制御電極の表面洗浄を行うことを特徴とする請求項 14 に記載の電氣的書き換えが可能なメモリ素子の製造方法。

【請求項 17】第 4 の材料層はレジスト材料から成ることを特徴とする請求項 14 に記載の電氣的書き換えが可能なメモリ素子の製造方法。

【請求項 18】第 1 の材料層は導電材料から成り、電荷蓄積部は浮遊電極から構成されることを特徴とする請求

4

項 9 に記載の電氣的書き換えが可能なメモリ素子の製造方法。

【請求項 19】第 1 の材料層は、絶縁層、及び、該絶縁層中に形成された電荷蓄積領域を有することから成ることを特徴とする請求項 9 に記載の電氣的書き換えが可能なメモリ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電氣的書き換えが可能なメモリ素子及びその製造方法に関し、特に、制御電極とチャネル形成領域との間に電荷蓄積部を有する電氣的書き換えが可能なメモリ素子及びその製造方法に関する。

【0002】

【従来の技術】電氣的書き換えが可能なメモリ素子 (EEPROM: Electrically Erasable and Programmable ROM) は DRAM (Dynamic Random Access Memory) などの他のメモリ素子と比較して 1 ビット当たりの記憶素子の面積を理論上最も小さくできることから、メモリ素子の大容量化が期待されており、特に、フロッピーディスク等の磁気記憶装置の代替手段として検討が活発に行われている。EEPROM としては、浮遊電極 (フローティングゲート) 型、MNOS 型あるいは MONOS 型、TEXTURED POLY 型など、様々な特徴を有する構造の EEPROM が開発されている。

【0003】EEPROM の一種である浮遊電極型メモリ素子の製造方法の一例を、半導体基板等の模式的な一部断面図である図 18 ~ 図 20 を参照して、以下、説明する。

【0004】【工程-10A】先ず、シリコン半導体基板から成る半導体基板 110 に対して、LOCOS 法に基づき酸化シリコンから成る素子分離領域 113 を形成する。次に、素子分離領域 113 で分離された半導体基板 110 の領域にウエル 110B を形成するためにイオン注入を行い、更には、半導体基板 110 のかかる領域における閾値電圧調整のためのイオン注入を行う。その後、例えば熱酸化法に基づき、半導体基板 110 の表面に SiO_2 から成る第 1 の絶縁膜 (トンネル絶縁膜) 111 を形成する。この状態を図 18 の (A) に示す。

【0005】【工程-20A】次に、例えば CVD (Chemical Vapor Deposition) 法に基づき、不純物を含むポリシリコンから成る第 1 の材料層 112A を全面に堆積させる (図 18 の (B) 参照)。そして、リソグラフィ技術及び RIE (反応性イオンエッチング) 等のドライエッチング技術に基づき、第 1 の材料層 112A をパターニングする。パターニングされた第 1 の材料層 112A は帯状の形状である。

【0006】【工程-30A】その後、図 19 の (A) に示すように、例えば CVD 法に基づき、全面 (より具体的には、素子分離領域 113 上及びパターニングされ

5

た第1の材料層112A上)に第2の絶縁膜115を堆積させ、更に、第2の絶縁膜115上に、例えば不純物を含むポリシリコンから成る第2の材料層116Aを堆積させる。第2の絶縁膜115は、例えば、ONO膜(シリコン酸化膜/シリコン窒化膜/シリコン酸化膜の積層絶縁膜)から構成することができる。

【0007】次に、リソグラフィ技術及びドライエッチング技術に基づき、第2の材料層116A、第2の絶縁膜115及び第1の材料層112Aをパターンニングすることによって、第2の材料層116Aから成る制御電極116及びワード線、並びに、第1の材料層112Aから成る電荷蓄積部112を形成する(図19の(B)参照)。ここで、第2の材料層116Aのエッチングに引き続き、第2の絶縁膜115及び第1の材料層112Aのエッチングを行うことによって、自己整合的に第2の絶縁膜115及び第1の材料層112Aのエッチングを行うことができる。尚、ワード線は、図19の(B)の紙面垂直方向に、制御電極116から延在して延びている。

【0008】[工程-40A]その後、制御電極116をマスクとして用いたイオン注入を行い、ソース/ドレイン領域118を制御電極116と自己整合的に形成する(図20の(A)参照)。尚、電荷蓄積部112の下方の半導体基板110の領域がチャンネル形成領域119に相当する。

【0009】[工程-50A]次に、層間絶縁層120の形成、及び、ソース/ドレイン領域118に達する配線121の形成を行い、図20の(B)に示す構造を有するメモリ素子を得ることができる。

【0010】このような構造を有するメモリ素子は、制御電極116とチャンネル形成領域119との間に絶縁膜111、115を介して浮遊電極(フローティングゲート)から成る電荷蓄積部112が設けられた電界効果型トランジスタから構成されている。電荷蓄積部112である浮遊電極は電荷を保持する機能を有し、第1の絶縁膜(トンネル絶縁膜)111及び第2の絶縁膜115は、電荷を電荷蓄積部112に閉じ込める役割を有する。

【0011】電荷蓄積部112に電荷が蓄積されると、この蓄積電荷により電界が発生する結果、メモリ素子の閾値電圧 V_{th} が変化する。例えば、メモリ素子がnチャンネル型の場合、電荷蓄積部112に電荷を蓄積することで閾値電圧 V_{th} が正の方向にシフトする。メモリ素子に記憶されたデータを読み出す際には、所定の読み出し電圧を制御電極116に印加する。閾値電圧 V_{th} が正の方向にシフトしている場合、読み出し電圧を制御電極116に印加してもメモリ素子のソース/ドレイン領域118の間にチャンネル電流は流れない。一方、電荷蓄積部112に電荷が蓄積されていない場合には、制御電極116に読み出し電圧を印加したとき、メモリ素子のソース/

6

ドレイン領域118の間にチャンネル電流が流れる。このチャンネル電流が「流れる」あるいは「流れない」ことを"1"あるいは"0"に対応させて、メモリ素子にデータを記憶させることができる。

【0012】上記の構造を有するメモリ素子を集積化すると、図3の(B)に等価回路図に示すNOR型メモリセルを構成することができる。図3の(B)においては、4つのメモリ素子 M_{11} 、 M_{12} 、 M_{21} 、 M_{22} が示されており、ワード線 WL_1 にメモリ素子 M_{11} 、 M_{21} の制御電極が接続されており、ワード線 WL_2 にメモリ素子 M_{12} 、 M_{22} の制御電極が接続されている。メモリ素子 M_{11} 、メモリ素子 M_{12} の一方のソース/ドレイン領域はビット線 BL_1 に接続され、他方のソース/ドレイン領域はソース線 SL_1 に接続されている。また、メモリ素子 M_{21} 、メモリ素子 M_{22} の一方のソース/ドレイン領域はビット線 BL_2 に接続され、他方のソース/ドレイン領域はソース線 SL_2 に接続されている。

【0013】このNOR型メモリセルにおいて、メモリ素子にデータを書き込む場合、例えば、制御電極116に高電位(V_{pp})を印加し、ビット線に例えば0ボルトを印加する。これによって、制御電極116とチャンネル形成領域119との間の電位差に基づき、ファウラー・ノルドハイム(Fowler-Nordheim)・トンネル現象によって、チャンネル形成領域119から電荷蓄積部112への電子の注入が生じる。以上の結果、メモリ素子の閾値電圧 V_{th} が正の方向にシフトし、データ"0"がメモリ素子に記憶される。

【0014】例えばメモリ素子 M_{11} のデータを読み出す場合には、ワード線 WL_1 にアクセス(メモリ素子がnチャンネル型である場合には正の読み出し電圧を印加)し、ビット線 BL_1 とソース線 SL_1 との間を流れる電流の有無を検知して、"0"あるいは"1"のデータを判定する。データの消去においては、ファウラー・ノルドハイム・トンネル現象に基づき、電荷蓄積部から半導体基板へと電子を引き抜く。

【0015】一方、上記の構造を有するメモリ素子を直列接続すると、図3の(A)に等価回路図に示すNANDストリング型メモリセルを構成することができる。浮遊電極を有する従来のNANDストリング型メモリセルの模式的な一部断面図を図21に示す。NANDストリング型メモリセルを構成する各メモリ素子 $M_0 \sim M_7$ のそれぞれは、例えばp型ウエル110B内に形成されたソース/ドレイン領域118及びチャンネル形成領域119、チャンネル形成領域119の上方に第1の絶縁膜(トンネル絶縁膜)111を介して形成された電荷蓄積部(浮遊電極、フローティングゲートあるいは電荷蓄積電極とも呼ばれる)112、並びに、電荷蓄積部112の上方に第2の絶縁膜115を介して形成された制御電極116(コントロールゲートあるいは制御ゲートとも呼ばれる)から構成されている。そして、NANDストリ

7

ング型メモリセルにおいては、メモリ素子の一方のソース／ドレイン領域 118 を、隣接するメモリ素子の他方のソース／ドレイン領域 118 と共有化させることにより、複数のメモリ素子が直列接続されている。尚、複数のメモリ素子がこのように直列接続されている形態をメモリ・ストリングと呼ぶ。また、メモリ・ストリングの一端のメモリ素子 M₀ は、第 1 の選択トランジスタ DSG 及びコンタクトホールを介してビット線 BL に接続されており、メモリ・ストリングの他端のメモリ素子 M₇ は、第 2 の選択トランジスタ SSG を介して共通ソース線に接続されている。尚、図 3 の (A) に示すように、複数の NAND ストリング型メモリセルが列方向に配設され、制御電極 116 は、行方向に配設されたワード線と一体に形成されている。ここで、参照番号 110 は p 型シリコン半導体基板を示し、参照番号 110A は n 型ウェルを示す。尚、1 つの NAND ストリング型メモリセルを構成するメモリ素子の個数は 8 個に限定されない。

【0016】従来の NAND ストリング型メモリセルにおけるメモリ素子へのデータ書き込み動作の概要を、以下、説明する。

【0017】NAND ストリング型メモリセルにおいて、データは、ビット線 BL から最も離れた位置に位置するメモリ素子 M₇ から順に書き込まれる。データ書き込み動作においては、データを書き込むべきメモリ素子（以下、便宜上、選択メモリ素子と呼ぶ）の制御電極 116 に高電位 V_{pp}（例えば約 20 ボルト）を印加する。かかるメモリ素子以外のメモリ素子（以下、便宜上、非選択メモリ素子と呼ぶ）の制御電極 116 にはプログラム禁止電位（パス電圧とも呼ばれる）である中間電位 V_{pb}（例えば約 10 ボルト）を印加する。一方、ビット線 BL に、例えば 0 ボルトを印加する。そして、第 1 の選択トランジスタ DSG を導通させ、第 2 の選択トランジスタ SSG を非導通状態にすると、ビット線 BL の電位はメモリ素子のソース／ドレイン領域 118 へと転送される。そして、選択メモリ素子においては、制御電極 116 とチャネル形成領域 119 との間の電位差に基づき、ファウラー・ノルドハイム・トンネル現象によって、チャネル形成領域 119 から電荷蓄積部 112 への電子の注入が生じる。その結果、選択メモリ素子の閾値電圧 V_{th} が当初の負から正方向にシフトし、データが選択メモリ素子に書き込まれる。一方、非選択メモリ素子においては、制御電極 116 とチャネル形成領域 119 との間には大きな電位差が生ぜず、チャネル形成領域 119 から電荷蓄積部 112 への電子の注入は生じない。その結果、非選択メモリ素子の閾値電圧は当初の値から変化せず、当初のデータが非選択メモリ素子に保持される。各メモリ素子の閾値電圧 V_{th} の分布を図 22 に模式的に示す。

【0018】ワード線は他の NAND ストリング型メモ

8

リセルと共通化されている。従って、選択メモリ素子の制御電極 116 に接続されたワード線に接続された他の NAND ストリング型メモリセルを構成するメモリ・ストリング（以下、このようにメモリ・ストリングを構成するメモリ・ストリングと呼ぶ）におけるメモリ素子（以下、このようなメモリ素子を、他の選択メモリ素子と呼ぶ）の制御電極 116 にも、高電位 V_{pp} が印加される。かかる他の選択メモリ素子にデータを書き込んではない場合には、即ち、かかる他の選択メモリ素子へのデータの書き込みが禁止されている場合には、他のメモリ・ストリングに接続されているビット線 BL に中間電位 V_{pb}（例えば約 10 ボルト）を印加する。これによって、他の選択メモリ素子においては、制御電極 116 とチャネル形成領域 119 との間には大きな電位差が生ぜず、チャネル形成領域 119 から電荷蓄積部 112 への電子の注入が生じない。従って、他の選択メモリ素子にデータが書き込まれず、当初のデータが保持される。

【0019】データ読み出し動作においては、ビット線 BL に例えば 1.5 ボルトを印加し、第 1 の選択トランジスタ DSG 及び第 2 の選択トランジスタ SSG のゲート電極に、例えば V_{cc} を印加し、第 1 の選択トランジスタ DSG 及び第 2 の選択トランジスタ SSG を導通状態とする。また、非選択メモリ素子の制御電極 116 には V_{cc} を印加する。これによって、非選択メモリ素子は導通状態となる。一方、選択メモリ素子の制御電極 116 には 0 ボルトを印加する。選択メモリ素子の閾値電圧 V_{th} に依存して、選択メモリ素子は導通状態あるいは非導通状態となる。即ち、選択メモリ素子にデータ「0」が保持されている場合には、選択メモリ素子は非導通状態となり、ビット線 BL の電位は 1.5 ボルトを保持する。また、選択メモリ素子にデータ「1」が保持されている場合には、選択メモリ素子は導通状態となり、ビット線 BL の電位は 1.5 ボルトよりも低下する。このビット線の電位をビット線制御回路によって検出することにより、選択メモリ素子にデータ「0」あるいは「1」が保持されていることを読み出すことができる。

【0020】NAND 型ストリング型メモリセルにおいては、データの消去はブロック単位一括で行われる。データ消去動作においては、ビット線 BL、第 1 の選択トランジスタ DSG 及び第 2 の選択トランジスタ SSG のゲート電極、共通ソース線の全てをフローティング状態とし、半導体基板 10 に V_{erase}（例えば 20 ボルト）を印加し、選択ブロックのワード線電位を 0 ボルトとする。また、非選択ブロックのワード線をフローティング状態とする。これによって、選択ブロックにおいては、電荷蓄積部 112 からの電子の引き抜きによりデータが消去される。

【0021】このようなメモリ素子において、LOCOS 構造を有する素子分離領域を形成すると、バースピークの存在によって素子分離幅が広くなり、また、分離耐

50

9

圧が低下するという問題が生じる場合がある。このような場合には、電荷蓄積部と素子分離領域の合わせを自己整合的に行う SA-STI (Self-Align Shallow Trench Isolation) 法によって形成された素子分離領域を採用することが好ましく、これによって、セル面積を一層縮小することが可能となる。このような SA-STI 法が、例えば、特開平 8-17948 号公報に開示されている。

【0022】SA-STI 法に基づくメモリ素子 (SA-STI 構造を有するメモリ素子と呼ぶ) の模式的な一部断面図を図 23 の (A) 及び (B) に示し、模式的な配置図を図 24 に示す。尚、図 23 の (A) は図 24 の矢印 A-A に沿った模式的な一部断面図であり、図 23 の (B) は図 24 の矢印 B-B に沿った模式的な一部断面図である。トレンチ型の素子分離領域 13 で分離された半導体基板 10 の活性領域 (半導体基板 10 の突起部 10A) と、制御電極 16 とが重複する領域には、不純物を含有するポリシリコンから成る電荷蓄積部 12 が形成されている。電荷蓄積部 12 と半導体基板 10 との間には、例えば SiO₂ から成る第 1 の絶縁膜 (トンネル絶縁膜) 11 が形成されている。一方、電荷蓄積部 12 と制御電極 16 との間には、ONO 膜から成る第 2 の絶縁膜 15 が形成されている。また、制御電極 16 の両側の半導体基板 10 の領域にはソース/ドレイン領域 18 が形成されており、電荷蓄積部 12 の下方の半導体基板 10 はチャネル形成領域 19 に相当する。制御電極 16 からワード線 17 が延在する。制御電極 16 及びワード線 17 は、例えば不純物を含有するポリシリコンから構成され、一体的に形成されている。尚、制御電極 16 の上方には、層間絶縁層 30 を介してビット線 (図示せず) が、ワード線 17 と例えば直交する方向に配線されており、ビットコンタクト部 (図示せず) において一方のソース/ドレイン領域 18 と接続されている。メモリ素子の一方のソース/ドレイン領域 18 を、隣接するメモリ素子の他方のソース/ドレイン領域 18 と共有化させることによって、複数のメモリ素子が直列接続され、NAND ストリング型メモリセルが構成される。トレンチ型の素子分離領域 13 は、半導体基板 10 に形成された溝部 13A と、溝部 13A を埋める絶縁材料 14 から構成されている。

【0023】このような SA-STI 構造を有するメモリ素子においても、電荷蓄積部 12 における電荷蓄積の有無によってメモリ素子の閾値電圧 V_{th} が変化し、この閾値電圧 V_{th} の変化により記憶されたデータの判別を行うことができる。また、理論的には、最小のセル面積を $4F^2$ (ここで F は minimum feature size) とすることができるので、セル面積を縮小し、メモリセルの大容量化、チップコスト、ビットコストの低減を図ることが可能である。

【0024】以下、SA-STI 構造を有するメモリ素

10

子の製造方法の概要を、半導体基板等の模式的な一部断面図である図 4~図 10 及び図 25 を参照して説明する。尚、従来の SA-STI 構造を有するメモリ素子の製造方法と、本発明のメモリ素子の製造方法とが、工程で一致している。それ故、本発明のメモリ素子の製造方法を説明する半導体基板等の模式的な一部断面図等

(図 4~図 10) を参照して、従来の SA-STI 構造を有するメモリ素子の製造方法を説明し、本発明のメモリ素子の製造方法と異なる工程に関してのみ、図 25 を参照して説明する。尚、特に断りの無い限り、図 24 の矢印 A-A に沿ったと同様の半導体基板等の模式的な一部断面図に基づき、従来の SA-STI 構造を有するメモリ素子の製造方法を説明する。

【0025】[工程-10B] 先ず、シリコン半導体基板から成る半導体基板 10 に、周辺素子を形成すべき領域とメモリ素子を形成すべき領域とを分離するために LOCOS 構造を有する素子分離ゾーン (図示せず) を形成する。そして、メモリ素子を形成すべき半導体基板 10 の領域にウエル (図示せず) を形成するためのイオン注入を行い、更には、メモリ素子を形成すべき半導体基板 10 の領域における閾値電圧調整のためのイオン注入を行う。その後、例えば熱酸化法により、厚さ 7~8 nm 程度の SiO₂ から成る第 1 の絶縁膜 (トンネル絶縁膜) 11 を半導体基板 10 の表面に形成する。次いで、第 1 の絶縁膜 11 の上に、例えば CVD 法に基づき、不純物を含有するポリシリコンから成る厚さ 0.25 μ m 乃至 0.30 μ m の第 1 の材料層 12A を堆積させる。この状態を図 4 の (A) に示す。

【0026】次に、第 1 の材料層 12A 上にレジスト材料から成るエッチング用マスク 40 をリソグラフィ技術に基づき形成し、かかるエッチング用マスク 40 を用いて、例えば RIE 法により第 1 の材料層 12A をパターニングする。この状態を図 4 の (B) に示すが、パターニングされた第 1 の材料層 12A は、図 4 の (B) の紙面垂直方向に延びている。

【0027】[工程-20B] 次に、図 5 の (A) に示すように、エッチング用マスク 40 を用いて、例えば RIE 法に基づきエッチングを引き続き行い、半導体基板 10 に溝部 13A を自己整合的に形成する。これによって、パターニングされた第 1 の材料層 12A の下方には、半導体基板 10 の突起部 10A が残される。

【0028】次いで、エッチング用マスク 40 を除去し、例えば CVD 法あるいはバイアス ECR (バイアス印加型 Electron Cyclotron Resonance プラズマ CVD) 法に基づき、トレンチ状の溝部 13A 内を含む全面に SiO₂ から成る厚さ 0.7~1 μ m の絶縁材料 14 を堆積させる (図 5 の (B) 参照)。

【0029】その後、例えば RIE 法に基づき絶縁材料 14 をエッチバックする。こうして、トレンチ状の溝部 13A に絶縁材料 14 が埋め込まれたトレンチ型の素子

11

分離領域 1 3 を、パターニングされた第 1 の材料層 1 2 A の間の半導体基板 1 0 の領域に自己整合的に形成することができる (図 6 の (A) 及び (B) 参照)。また、この状態における模式的な配置図を図 7 に示す。尚、図 6 の (A) は、図 7 の矢印 A-A に沿った半導体基板等の模式的な一部断面図であり、図 6 の (B) は、図 7 の矢印 B-B に沿った半導体基板等の模式的な一部断面図である。尚、図 8 の (A)、図 9 の (A) 及び図 1 0 の (A) は、図 7 の矢印 A-A に沿ったと同様の半導体基板等の模式的な一部断面図であり、図 8 の (B)、図 9 の (B) 及び図 1 0 の (B) は、図 7 の矢印 B-B に沿ったと同様の半導体基板等の模式的な一部断面図である。

【0030】 [工程-30B] 次に、図 8 に示すように、例えば CVD 法あるいは熱酸化法により、例えば O₂ NO 膜 (酸化膜/窒化膜/酸化膜の積層絶縁膜) から成る第 2 の絶縁膜 1 5 を全面に堆積させる。

【0031】 [工程-40B] その後、全面に、例えば CVD 法に基づき、不純物を含有するポリシリコンから成る厚さ 0.3~0.4 μm の第 2 の材料層 1 6 A を堆積させる。この状態を図 9 の (A) 及び (B) に示す。次に、リソグラフィ技術及びドライエッチング技術に基づき、第 2 の材料層 1 6 A、第 2 の絶縁膜 1 5 及び第 1 の材料層 1 2 A をパターニングする。こうして、第 2 の材料層 1 6 A から成る制御電極 1 6 及びワード線 1 7、並びに、第 1 の材料層 1 2 A から成る電荷蓄積部 1 2 を形成することができる。この状態を図 1 0 の (A) 及び (B) に示す。尚、電荷蓄積部 1 2 が、制御電極 1 6 と半導体基板 1 0 の突起部 1 0 A との重複領域に残され、個々のメモリ素子毎に分離された形状となる。

【0032】 [工程-50B] 次に、制御電極 1 6 をマスクとして用いて、不純物を例えば $5 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で半導体基板 1 0 の露出した突起部 1 0 A にイオン注入する。これによって、制御電極 1 6 の両側の半導体基板 1 0 の突起部 1 0 A の一部分にソース/ドレイン領域 1 8 を自己整合的に形成することができる (図 2 5 参照)。その後、例えば CVD 法により PSG あるいは BPSG 等から成る層間絶縁層 3 0 を形成し、図 2 3 及び図 2 4 に示したメモリ素子を得ることができる。以降の工程としては、例えば、ソース/ドレイン領域 1 8 の上方の層間絶縁層 3 0 に開口部を形成し、かかる開口部を含む層間絶縁層 3 0 上に配線材料層を堆積させ、配線材料層をパターニングすることによってビット線を設ける。更に、周辺回路の形成等により所望のメモリセルを完成させる。

【0033】

【発明が解決しようとする課題】ところで、浮遊電極型のメモリ素子にあっては、電荷蓄積部とチャネル形成領域との間に、例えばファウラー・ノルドハイム・トンネル電流を発生させることによって、メモリ素子へのデー

12

タの書き込み、あるいはデータの消去を行う。それ故、制御電極に電位を印加し、電荷蓄積部とチャネル形成領域間との間に大きな電位差を生成させる必要がある。ところで、電荷蓄積部とチャネル形成領域との間の電位差は、制御電極と電荷蓄積部との間の容量結合と、電荷蓄積部とチャネル形成領域との間の容量結合の比によって決まる。然るに、浮遊電極型のメモリ素子においては、セル面積の縮小化に伴い、十分な値の容量結合比を確保することが困難となってきた。

【0034】容量結合比が小さい場合、メモリ素子へのデータの書き込みの際に、制御電極に印加すべき電位を一層高くする必要がある。従って、電源電圧から動作電圧 (制御電極に印加すべき電位) にまで昇圧させるための昇圧回路の面積が増大する結果、メモリ素子の製造コストの上昇を招くばかりか、昇圧時間が延長し、メモリ素子の動作速度の低下の原因となる。メモリ素子の微細化が進むほど、容量結合比を大きくする必要があるが益々高くなり、如何に容量結合比を大きくするかが、重要な技術的課題となっている。

【0035】殊に、従来の SA-STI 構造を有するメモリ素子においては、十分な容量結合比を得るために電荷蓄積部 1 2 の厚さを厚くし、電荷蓄積部 1 2 と対向する制御電極 1 6 の面積を増大させる、即ち、電荷蓄積部 1 2 の側壁にまで制御電極 1 6 が延びる構造とする必要がある (図 2 3 の (A) 参照)。しかしながら、電荷蓄積部 1 2 の厚膜化 (即ち、第 1 の材料層 1 2 A の厚膜化) は、[工程-40B] における第 1 の材料層 1 2 A のパターニングを困難なものにさせる。

【0036】更に、第 1 の材料層 1 2 A の厚膜化は、

[工程-20B] において、トレンチ状の溝部 1 3 A 内を含む全面に SiO₂ から成る絶縁材料 1 4 を堆積させる際の溝部 1 3 A のアスペクト比の増加を招き、トレンチ型の素子分離領域の形成を一層困難なものにさせる。

【0037】また、電荷蓄積部 1 2 の厚膜化は、電荷蓄積部 1 2 とソース/ドレイン領域 1 8 の容量結合に起因した容量結合比の低下を引き起こし、電荷蓄積部 1 2 とチャネル形成領域 1 9 との間に実効的に生成する電位差が減少するため、データ書き込み時に制御電極 1 6 に印加すべき電位の低電位化を妨げる要因となる。

【0038】従って、本発明は、容量結合比を増大させ、しかも、ソース/ドレイン領域と電荷蓄積部との間の容量結合による容量結合比の低下を防止し、これにより、データ書き込み時に制御電極に印加すべき電位の低下、昇圧時間の短縮化、製造コストの低減、メモリ素子の高集積化、微細化を可能とする電氣的書き換えが可能なメモリ素子及びその製造方法を提供することを目的とする。

【0039】

【課題を解決するための手段】上記の目的を達成するための本発明の電氣的書き換えが可能なメモリ素子は、

10

20

30

40

50

13

(イ) 半導体基板に形成された、チャネル形成領域及びソース／ドレイン領域と、(ロ) 半導体基板に形成され、チャネル形成領域及びソース／ドレイン領域に沿って設けられた素子分離領域と、(ハ) チャネル形成領域の上方に、第1の絶縁膜を介して形成された電荷蓄積部と、(ニ) 電荷蓄積部の上方に、第2の絶縁膜を介して形成された制御電極と、(ホ) 制御電極から延在し、素子分離領域上に位置するワード線と、(ヘ) 制御電極及びワード線の延びる方向と平行な電荷蓄積部の側壁面上に第3の絶縁膜を介して形成され、制御電極と同電位に保持されたシールド用導電層、から成ることを特徴とする。

【0040】制御電極とシールド用導電層とを同電位に保持するために、制御電極の電位を制御するための制御回路とシールド用導電層の電位を制御するための制御回路とを個別に設けてもよいが、回路構成の簡素化の観点からは、制御電極とシールド用導電層とを電気的に接続することが望ましい。この場合、第3の絶縁膜が電荷蓄積部の側壁面及び制御電極の側壁面の一部を被覆し、シールド用導電層が第3の絶縁膜で被覆されていない制御電極の側壁面まで延在し、以て、制御電極とシールド用 *

$$V_{in} = \{ (C_1 + C_2) / (C_1 + C_2 + C_{tun}) \} \times V_{cg} \quad (1)$$

【0044】上記の目的を達成するための本発明の電気的書き換えが可能なメモリ素子の製造方法は、(イ) 半導体基板に形成された、チャネル形成領域及びソース／ドレイン領域と、(ロ) 半導体基板に形成され、チャネル形成領域及びソース／ドレイン領域に沿って設けられた素子分離領域と、(ハ) 少なくともチャネル形成領域の上方に、第1の絶縁膜を介して形成された電荷蓄積部と、(ニ) 電荷蓄積部の上方に、第2の絶縁膜を介して形成された制御電極と、(ホ) 制御電極から延在し、素子分離領域上に位置するワード線と、(ヘ) 制御電極及びワード線の延びる方向と平行な電荷蓄積部の側壁面上に第3の絶縁膜を介して形成され、制御電極と同電位に保持されたシールド用導電層、から構成された電気的書き換えが可能なメモリ素子の製造方法であって、(A) 半導体基板表面に第1の絶縁膜を形成した後、該第1の絶縁膜上に第1の材料層を堆積させ、次いで、該第1の材料層をパターニングする工程と、(B) パターニングされた第1の材料層によって被覆されていない半導体基板の領域に、素子分離領域を形成する工程と、(C) 全面に第2の絶縁膜を堆積させた後、第2の材料層を該第2の絶縁膜上に堆積させ、次いで、第2の材料層、第2の絶縁膜及び第1の材料層をパターニングし、以て、第2の材料層から成る制御電極及びワード線、並びに、第1の材料層から成る電荷蓄積部を形成する工程と、

(D) 制御電極及びワード線の延びる方向と平行な電荷蓄積部の側壁面上に第3の絶縁膜を介してシールド用導電層を形成する工程と、(E) 電荷蓄積部の下方の半導体基板にチャネル形成領域を形成し、併せて、チャネル

14

*導電層とが接続されている構成とすることが望ましい。更には、第3の絶縁膜はソース／ドレイン領域の上方まで延在していることが望ましい。

【0041】素子分離領域は、L O C O S 構造を有するトレンチ構造を有していてもよいが、セル面積を一層縮小するといった観点からは、トレンチ型の素子分離領域、即ち、半導体基板に形成された溝部、及び該溝部を埋める絶縁材料から構成されていることが好ましく、更には、S A - S T I 法に基づくトレンチ型の素子分離領域とすることが一層好ましい。

【0042】本発明の電気的書き換えが可能なメモリ素子においては、制御電極及びシールド用導電層に電位 V_{cg} を印加したとき、電荷蓄積部とチャネル形成領域との間に式(1)で表される電位 V_{in} が発生する。尚、 C_1 、 C_2 及び C_{tun} は、それぞれ、制御電極と電荷蓄積部との間の容量値、シールド用導電層と電荷蓄積部との間の容量値、及び電荷蓄積部とチャネル形成領域との間の容量値である。

【0043】
【数2】

形成領域から延在する半導体基板の領域にソース／ドレイン領域を形成する工程、から成ることを特徴とする。

【0045】本発明の電気的書き換えが可能なメモリ素子の製造方法においては、前記工程(B)は、L O C O S 法に基づき形成することもできるが、S A - S T I 法に基くことが、セル面積を一層縮小するといった観点から好ましい。即ち、(B-1) パターニングされた第1の材料層によって被覆されていない半導体基板の領域に溝部を形成する工程と、(B-2) 全面に絶縁材料を堆積させた後、該絶縁材料をエッチバックし、以て、半導体基板に形成された溝部、及び、該溝部を埋める絶縁材料から構成された素子分離領域を形成し、併せて、第1の材料層が絶縁材料から突出した構造を得る工程から成ることが好ましい。この場合、工程(B-1)は、第1の材料層をパターニングするためのエッチング用マスクを用いて半導体基板をエッチングする工程、即ち、パターニングされた第1の材料層に対して半導体基板を自己整合的にエッチングする工程から成ることが望ましい。

【0046】一方、前記工程(D)は、(D-1) 全面に第3の絶縁膜を堆積させた後、第3の絶縁膜を部分的に除去することによって、電荷蓄積部の側壁面、及び制御電極の側壁面の一部を被覆する第3の絶縁膜を得る工程と、(D-2) 導電体から成る第3の材料層を全面に堆積させた後、第3の材料層をエッチバックし、以て、第3の絶縁膜で被覆されていない制御電極の側壁面まで延在し、第3の材料層から成り、制御電極と接続されたシールド用導電層を得る工程から成ることが好ましい。

この場合、工程(D-1)は、全面に第3の絶縁膜を堆

15

積させた後、制御電極の頂面上の第3の絶縁膜を除去し、次いで、第3の絶縁膜をエッチバックする工程から成ることが望ましい。制御電極の頂面上の第3の絶縁膜を除去する方法として、化学的機械的研磨法(CMP)の方法を挙げることができる。

【0047】あるいは又、前記工程(D)は、(D-1)全面に第3の絶縁膜を堆積させた後、第3の絶縁膜上に第4の材料層を堆積させる工程と、(D-2)第4の材料層及び第3の絶縁膜を部分的に除去し、以て、少なくとも制御電極の頂面を露出させる工程と、(D-3)第4の材料層を除去する工程と、(D-4)導電体から成る第3の材料層を全面に堆積させた後、第3の材料層をエッチバックし、以て、第3の絶縁膜が被覆されていない制御電極の部分まで延在し、第3の材料層から成り、制御電極と接続されたシールド用導電層を得る工程から成ることが好ましい。この場合、工程(D-2)において、第4の材料層及び第3の絶縁膜をエッチバックし、以て、電荷蓄積部の側壁面及び制御電極の側壁面の一部を被覆し、且つ、半導体基板の上方まで延在する第3の絶縁膜を得ることが望ましい。また、工程(D-2)と工程(D-3)との間で、露出した制御電極の表面に存在する自然酸化膜を除去するために、露出した制御電極の表面洗浄を行うことが望ましい。尚、工程(D-3)において第4の材料層を除去するとき第3の絶縁膜が除去されないように、第4の材料層を構成する材料を選択する必要がある、例えば、第4の材料層を構成する材料としてレジスト材料を挙げることができる。第3の絶縁膜/第4の材料層を構成する材料の組合せとして、 SiO_2 /レジスト材料、 SiN /レジスト材料、 SiO_2 / SiN 、 SiN/SiO_2 を例示することができる。

【0048】本発明の電氣的書き換えが可能なメモリ素子及びその製造方法においては、半導体基板として、シリコン半導体基板、ウエルが形成されたシリコン半導体基板を挙げることができる。メモリ素子をnチャネル型とする場合、p型シリコン半導体基板半導体基板、p型ウエルが形成されたn型シリコン半導体基板、n型ウエルが形成され、且つp型ウエルがかかるn型ウエル内に形成されたp型シリコン半導体基板を用いることが好ましい。メモリ素子の全てが1つのp型ウエル内に形成されていてもよいし、複数のp型ウエル内に複数のメモリ素子を形成してもよい。

【0049】第1の絶縁膜(トンネル絶縁膜)は、半導体基板の表面を例えば熱酸化処理、あるいは熱酸化処理及び窒化処理することによって形成することができ、 SiO_2 、 SiO_2/SiN 、 SiON 、 SiO_2/SiON 等から構成することができる。第2の絶縁膜は、ON膜、ON膜、 SiO_2 膜、 SiN 膜、 SiON 膜等から構成することができる。第3の絶縁膜も、ONO膜、ON膜、 SiO_2 膜、 SiN 膜、 SiON 膜等から構成

16

することができる。溝部を埋める絶縁材料として、 SiO_2 、 SiN 、 SiON を例示することができる。

【0050】制御電極及びワード線(あるいは第2の材料層)は、例えば、不純物を含有するポリシリコン層とタングステンシリサイド等のシリサイド層の積層構造(ポリサイド構造)、タングステン等の高融点金属材料層や、シリサイド層から構成することができる。シールド用導電層(あるいは第3の材料層)も、例えば、不純物を含有するポリシリコン層、タングステン等の高融点金属材料層や、シリサイド層から構成することができる。

【0051】メモリ素子を浮遊電極型メモリ素子とする場合、即ち、電荷蓄積部を、導電材料から構成された浮遊電極から構成する場合、導電材料(あるいは第1の材料層を構成する導電材料)として、不純物を含有するポリシリコンを挙げることができる。

【0052】メモリ素子をナノクリスタル型メモリ素子とする場合、即ち、電荷蓄積部(あるいは第1の材料層)を、絶縁層及び該絶縁層中に形成された導電性微小結晶粒子から構成する場合、導電性微小結晶粒子をシリコンやゲルマニウムから構成することができ、絶縁層をONO膜、ON膜、 SiO_2 膜、 SiN 膜、 SiON 膜等から構成することができる。導電性微小結晶粒子は第1の絶縁膜上に形成されていてもよいし、絶縁層中に点在していてもよい。

【0053】本発明のメモリ素子が複数集積された不揮発性半導体メモリセルの構造として、EEPROMの一種であるNOR型、NANDストリング型メモリセル、DINOR型やAND型を挙げることができる。

【0054】NANDストリング型メモリセルの場合、不揮発性半導体メモリセルは、複数のメモリ素子が直列接続されたNANDストリング、NANDストリングの一端のメモリ素子に接続された第1の選択トランジスタ、及びNANDストリングの他端のメモリ素子に接続された第2の選択トランジスタから構成され、NANDストリングの一端のメモリ素子の一方のソース/ドレイン領域は、第1の選択トランジスタを介してビット線に接続されており、NANDストリングの他端のメモリ素子の他方のソース/ドレイン領域は、第2の選択トランジスタを介して共通ソース線に接続されている。尚、第1の選択トランジスタ及び第2の選択トランジスタは、例えば、通常のnチャネル型MOS FETから構成することができる。

【0055】本発明においては、制御電極及びワード線の延びる方向と平行な電荷蓄積部の側壁面上に第3の絶縁膜を介して形成され、制御電極と同電位に保持されたシールド用導電層が形成されている。それ故、制御電極と電荷蓄積部との間の容量結合のみならず、シールド用導電層と電荷蓄積部との間の容量結合が得られるので、容量結合比を従来より大きくすることができる。しか

17

も、シールド用導電層が存在するので、電荷蓄積部とソース／ドレイン領域の容量結合に起因した容量結合比の低下を防止することができる。その結果、動作電圧及び電源電圧を低下させることが可能となり、昇圧回路の面積増加や昇圧時間の延長を抑制することができるばかりか、メモリ素子の高集積化、微細化が可能となる。しかも、従来の技術と異なり、十分な容量結合比を得るために電荷蓄積部 12 の厚さを厚くする必要がなくなり、従来のメモリ素子の製造プロセスにおける問題点を確実に解決することが可能となる。

【0056】本発明の電氣的書き換えが可能なメモリ素子においては、制御電極とチャネル形成領域との間に電荷蓄積部を有する電界効果型トランジスタが構成される。制御電極、半導体基板あるいはソース／ドレイン領域等に適切な電位を印加すると、ファウラー・ノルドハイム・トンネル電流が生じ、電荷蓄積部へ電荷が注入され、あるいは電荷蓄積部から半導体基板へ電荷が放出される。このように電荷蓄積部に電荷が蓄積されると、この蓄積電荷による電界が発生するため、メモリ素子の閾値電圧 V_{th} が変化する。この閾値電圧 V_{th} の変化により記憶されたデータの判別が可能となる。

【0057】本発明において、SA-STI法に基づき素子分離領域を形成すれば、LOCOS法にて素子分離領域を形成した場合と比較して、セル面積を縮小することが可能となる。

【0058】

【発明の実施の形態】以下、図面を参照して、発明の実施の形態（以下、実施の形態と略称する）に基づき本発明を説明する。

【0059】（実施の形態1）実施の形態1のメモリ素子は、SA-STI法に基づくメモリ素子（SA-STI構造を有するメモリ素子）であり、所謂、浮遊電極型メモリ素子である。実施の形態1のメモリ素子の模式的な一部断面図を図1の（A）及び（B）に示し、模式的な配置図を図2に示す。尚、図1の（A）は図2の矢印A-Aに沿った模式的な一部断面図であり、図1の（B）は図2の矢印B-Bに沿った模式的な一部断面図である。

【0060】実施の形態1のメモリ素子は、従来のSA-STI構造を有するメモリ素子と同様に、チャネル形成領域19及びソース／ドレイン領域18と、素子分離領域13と、電荷蓄積部12と、制御電極16と、制御電極16から延在し、そして素子分離領域13上に位置するワード線17から構成されている。

【0061】チャネル形成領域19及びソース／ドレイン領域18は、半導体基板10（より具体的には、半導体基板10に設けられた突起部10A）に形成されている。尚、ソース／ドレイン領域18は、制御電極16の両側の半導体基板10の領域に形成されており、電荷蓄積部12の下方の半導体基板10がチャネル形成領域1

18

9に相当する。また、素子分離領域13は、半導体基板10に形成され、チャネル形成領域19及びソース／ドレイン領域18に沿って設けられている。トレンチ型の素子分離領域13は、半導体基板10に形成された溝部13Aと、溝部13Aを埋める絶縁材料14から構成されている。絶縁材料14は SiO_2 から成る。

【0062】更には、不純物を含有するポリシリコンから成り、そして浮遊電極から構成された電荷蓄積部12が、チャネル形成領域19の上方に、 SiO_2 から成る第1の絶縁膜11（トンネル絶縁膜）を介して形成されている。また、制御電極16は、電荷蓄積部12の上方に、ONO膜から成る第2の絶縁膜15を介して形成されている。より具体的には、トレンチ型の素子分離領域13で分離された半導体基板10の活性領域（半導体基板10の突起部10A）と、制御電極16とが重複する領域に、不純物を含有するポリシリコンから成る電荷蓄積部12が形成されている。

【0063】制御電極16及びワード線17は、不純物を含有するポリシリコンから構成され、一体的に形成されている。また、制御電極16は、制御電極16及びワード線17の延びる方向と直交する電荷蓄積部12の側壁面12Cの一部を、第2の絶縁膜15を介して被覆している。これによって、制御電極16と電荷蓄積部12との間の容量結合の増加を図ることができる。

【0064】制御電極16の上方には、アルミニウム等の金属配線材料から成るビット線（図示せず）が、層間絶縁層30を介してワード線17と例えば直交する方向に配線されており、ビットコンタクト部（図示せず）において一方のソース／ドレイン領域18と接続されている。メモリ素子の一方のソース／ドレイン領域18を、隣接するメモリ素子の他方のソース／ドレイン領域18と共有化させることによって、複数のメモリ素子が直列接続され、NANDストリング型メモリセルが構成される。尚、層間絶縁層を構成する材料として、BPSG、PSG、BSG、AsSG、PbSG、SbSG、NSG、SOG、LTO（Low Temperature Oxide、低温CVD- SiO_2 ）、HTO（High Temperature Oxide、高温CVD- SiO_2 ）、 SiN 、 SiON 、あるいは、これらの材料の積層構造【例えばONO膜（ SiO_2 膜/ SiN 膜/ SiO_2 膜）、ON膜（ SiO_2 膜/ SiN 膜）】を挙げることができる。

【0065】実施の形態1のメモリ素子においては、従来のメモリ素子と異なり、制御電極16及びワード線17の延びる方向（図2において、矢印「X」で示す）と平行な電荷蓄積部12の側壁面12B上に、ONO膜から成る第3の絶縁膜20を介して、シールド用導電層21が形成されている。制御電極16とシールド用導電層21とは電氣的に接続されている。より具体的には、第3の絶縁膜20が、電荷蓄積部12の側壁面12B及び制御電極16の側壁面16Bの一部を被覆しており、シ

19

ールド用導電層 21 が、第 3 の絶縁膜 20 で被覆されていない制御電極 16 の側壁面 16B まで延在している。これによって、シールド用導電層 21 は制御電極 16 と同電位に保持される。シールド用導電層 21 の設計等によって、制御電極 16 と電荷蓄積部 12 との間の容量結合のみならず、シールド用導電層 21 と電荷蓄積部 12 との間の容量結合が得られるので、容量結合比を従来より大きくとることができる。しかも、シールド用導電層 21 が存在するので、電荷蓄積部 12 とソース／ドレイン領域 18 の容量結合に起因した容量結合比の低下を防止することができる。

【0066】実施の形態 1 の浮遊電極型のメモリ素子においては、電荷蓄積部 12 は電荷を保持する機能を有し、第 1 の絶縁膜（トンネル絶縁膜）11、第 2 の絶縁膜 15 及び第 3 の絶縁膜 20 は電荷を電荷蓄積部 12 に閉じ込める役割を有する。制御電極 16 及びシールド用導電層 21、半導体基板 10 あるいはソース／ドレイン領域 18 等に適切な電位を印加すると、ファウラー・ノルドハイム・トンネル電流が生じ、第 1 の絶縁膜 11 を通して半導体基板 10 から電荷蓄積部 12 へ電荷が注入され、あるいは、電荷蓄積部 12 から半導体基板 10 へ電荷が放出される。このように電荷蓄積部 12 に電荷が蓄積されると、この蓄積電荷による電界が発生するため、メモリ素子の閾値電圧 V_{th} が変化する。この閾値電圧 V_{th} 変化により、記憶されたデータの判別が可能となる。例えば、電荷蓄積部 12 に電子を蓄積することでデータ“0”の記憶を行い、また、電荷蓄積部 12 に蓄積した電子を半導体基板 10 に放出することでデータの消去を行うことができる。これとは逆に、電荷蓄積部 12 に電子を蓄積することでデータの消去を行い、また、電荷蓄積部 12 に蓄積した電子を半導体基板 10 に放出することでデータの書き込みを行う形式としてもよい。

【0067】実施の形態 1 の浮遊電極型メモリ素子から、例えば、図 3 の (A) の等価回路図に示すような NAND 型ストリング型メモリセルを構成することができるし、あるいは又、図 3 の (B) に等価回路を示すように、NOR 型メモリセルを構成することもできる。尚、NOR 型メモリセルを構成する場合、図 1 の (B) において図面上、右側と左側にそれぞれ形成された隣接する 2 つのメモリ素子の間に形成され、隣接するメモリ素子でソース／ドレイン領域 18 が共有された形態とはせずに、隣接するメモリ素子でソース／ドレイン領域 18 を共有しない形態とすればよい。

【0068】以下、図 1 及び図 2 に示した実施の形態 1 のメモリ素子の製造方法を、半導体基板等の模式的な一部断面図、図 4～図 6、図 8～図 13、及び配置図である図 7 を参照して、以下、説明する。

【0069】【工程-100】先ず、半導体基板 10 の表面に第 1 の絶縁膜 11 を形成した後、第 1 の絶縁膜 11 上に第 1 の材料層 12A を堆積させ、次いで、第 1 の

20

材料層 12A をパターニングする。具体的には、従来の製造方法の【工程-10B】と同様に、シリコン半導体基板から成る半導体基板 10 に、周辺素子を形成すべき領域とメモリ素子を形成すべき領域とを区別し、メモリ素子に LOCOS 構造を有する素子分離ゾーン（図示せず）を形成する。そして、メモリ素子を形成すべき半導体基板 10 の領域にウエル（図示せず）を形成するためのイオン注入を行い、更には、メモリ素子を形成すべき半導体基板 10 の領域における閾値電圧調整のためのイオン注入を行う。その後、例えば熱酸化法により、厚さ 7～8 nm 程度の SiO_2 から成る第 1 の絶縁膜（トンネル絶縁膜）11 を半導体基板 10 の表面に形成する。次いで、第 1 の絶縁膜 11 の上に、例えば CVD 法に基づき、不純物を含有するポリシリコンから成る厚さ 0.10 μm 乃至 0.15 μm の第 1 の材料層 12A を堆積させる。この状態を図 4 の (A) に示す。尚、従来のメモリ素子においては、電荷蓄積部 12 と対向する制御電極 16 の面積を増大させるために、0.25 μm 乃至 0.30 μm の第 1 の材料層 12A を堆積させる必要がある。一方、実施の形態 1 においては、後にシールド用導電層 21 を形成する結果、容量結合比の増加を図ることができるので、厚さ 0.10 μm 乃至 0.15 μm の第 1 の材料層 12A を堆積させればよい。それ故、後述する【工程-120】における第 1 の材料層 12A のパターニングが困難となることが無いし、【工程-110】において、トレンチ状の溝部 13A 内を含む全面に SiO_2 から成る絶縁材料 14 を堆積させる際に溝部 13A のアスペクト比の増加を招き、トレンチ型の素子分離領域の形成を一層困難なものにさせるといった問題の発生を回避することができる。

【0070】次に、第 1 の材料層 12A 上にレジスト材料から成るエッチング用マスク 40 をリソグラフィ技術に基づき形成し、かかるエッチング用マスク 40 を用いて、例えば RIE 法により第 1 の材料層 12A をパターニングする。この状態を図 4 の (B) に示すが、パターニングされた第 1 の材料層 12A は、図 4 の (B) の紙面垂直方向に延びている。

【0071】【工程-110】次に、パターニングされた第 1 の材料層 12A によって被覆されていない半導体基板 10 の領域に、素子分離領域 13 を形成する。具体的には、図 5 の (A) に示すように、エッチング用マスク 40 及びパターニングされた第 1 の材料層 12A をエッチング用マスクとして用いて、例えば RIE 法に基づきエッチングを引き続き行い、半導体基板 10 に溝部 13A を自己整合的に形成する。これによって、パターニングされた第 1 の材料層 12A の下方には、半導体基板 10 の突起部 10A が残される。次いで、エッチング用マスク 40 を除去し、例えば CVD 法あるいはバイアス ECR 法に基づき、トレンチ状の溝部 13A 内を含む全面に SiO_2 から成る厚さ 0.7～1 μm の絶縁材料 1

21

4を堆積させる(図5の(B)参照)。その後、例えばR I E法に基づき絶縁材料14をエッチバックする。こうして、トレンチ状の溝部13Aに絶縁材料14が埋め込まれたランデ型の第1分離領域13を、パターンニングされた第1の材料層12Aの間の半導体基板10の領域に自己整合的に形成することができる(図6の(A)及び(B)参照)。また、この状態における模式的な配置図を図7に示す。

【0072】[工程-120] 次に、全面に第2の絶縁膜15を堆積させた後、第2の材料層16Aを第2の絶縁膜15上に堆積させ、次いで、第2の材料層16A、第2の絶縁膜15及び第1の材料層12Aをパターンニングし、以て、第2の材料層16Aから成る制御電極16及びワード線17、並びに、第1の材料層12Aから成る電荷蓄積部12を形成する。具体的には、図8に示すように、例えばCVD法あるいは熱酸化法により、ON O膜(酸化膜/窒化膜/酸化膜の積層絶縁膜)から成る第2の絶縁膜15を全面に堆積させる。第2の絶縁膜15の膜厚は、例えば14~18nmとすればよい。尚、図においては、第2の絶縁膜15を1層で表した。

【0073】その後、全面に、例えばCVD法に基づき、不純物を含有するポリシリコン(厚さ約0.1 μ m)及びタングステンシリサイド(厚さ約0.1 μ m)の2層構成のポリサイドから成る第2の材料層16Aを堆積させる。この状態を図9の(A)及び(B)に示すが、図においては第2の材料層16Aを1層で表した。次に、リソグラフィ技術及びドライエッチング技術に基づき、第2の材料層16A、第2の絶縁膜15及び第1の材料層12Aをパターンニングする。こうして、第2の材料層16Aから成る制御電極16及びワード線17、並びに、第1の材料層12Aから成る電荷蓄積部12を形成することができる。この状態を図10の(A)及び(B)に示す。尚、図10の(A)に示すように、電荷蓄積部12が、制御電極16と半導体基板10の突起部10Aとの重複領域に残され、個々のメモリ素子毎に分離された形状となる。

【0074】以上の工程は、従来のS A-S T I構造を有するメモリ素子の製造方法と同様の工程である。

【0075】[工程-130] 次に、制御電極16及びワード線17の延びる方向と平行な電荷蓄積部12の側壁面12B上に第3の絶縁膜20を介してシールド用導電層21を形成する。具体的には、先ず、全面に、ON O膜から成る第3の絶縁膜20をCVD法にて堆積させる(図11の(A)参照)。尚、第3の絶縁膜20の厚さは、第2の絶縁膜15の厚さと同程度とすることが望ましいが、第2の絶縁膜15の厚さよりも厚くともよい。その後、例えばCMP法に基づき、第3の絶縁膜20を研磨することによって、制御電極16の頂面上の第3の絶縁膜20を除去する(図11の(B)参照)。このとき、制御電極16の頂面が研磨のストップとして機

22

能する。次に、第3の絶縁膜20をR I E法に基づきエッチバックする。これによって、図12の(A)に示すように、制御電極16及びワード線17の延びる方向と平行な電荷蓄積部12の側壁面12B、及び制御電極16の側壁面16Bの一部(例えば制御電極16の厚さの約90%)を被覆するサイドウォール形状の第3の絶縁膜20を得ることができる。尚、制御電極16の頂面上の第3の絶縁膜20を除去してあるので、電荷蓄積部12の側壁面12B及び制御電極16の側壁面16Bの一部を被覆する第3の絶縁膜20を、確実に自己整合的に得ることができる。

【0076】その後、導電体である、不純物を含有した厚さ0.1~0.3 μ mの第3の材料層21AをCVD法にて全面に堆積させた後(図12の(B)参照)、第3の材料層21Aをエッチバックする(図13の(A)参照)。これによって、第3の絶縁膜20で被覆されていない制御電極16の側壁面16Bまで延在し、第3の材料層21Aから成り、制御電極16と接続されたシールド用導電層21を得ることができる。断面形状がサイドウォール形状のシールド用導電層21の底部の厚さは特に制限が無く、隣接するシールド用導電層21と接しない(電氣的に接続していない)厚さであればよい。尚、シールド用導電層21の底面と半導体基板10の間には第1の絶縁膜11が存在するので、シールド用導電層21と半導体基板10とが短絡することはない。

【0077】[工程-140] 次に、電荷蓄積部12の下方の半導体基板10に形成されたチャネル形成領域19から延在する半導体基板10の領域にソース/ドレイン領域18を形成する。具体的には、制御電極16をマスクとして用いて、不純物を例えば $5 \times 10^{13} \text{cm}^{-2}$ のドーズ量で半導体基板10の露出した突起部10Aにイオン注入する。これによって、制御電極16の両側の半導体基板10の突起部10Aの一部分にソース/ドレイン領域18を自己整合的に形成することができる(図13の(B)参照)。その後、例えばCVD法によりP S GあるいはB P S G等から成る層間絶縁層30を形成し、図1及び図2に示したメモリ素子を得ることができる。以降の工程としては、例えば、ソース/ドレイン領域18の上方の層間絶縁層30に開口部を形成し、かかる開口部内を含む層間絶縁層30上に配線材料層を堆積させ、配線材料層をパターンニングすることによってビット線を設ける。更に、周辺回路の形成等により所望のメモリセルを完成させる。

【0078】尚、[工程-120]と[工程-130]との間において、制御電極16をマスクとして用いて、低濃度(例えば、ドーズ量 $5 \times 10^{13} \text{cm}^{-2}$)の不純物を半導体基板10の露出した突起部10Aにイオン注入し(図14の(A)参照)、[工程-140]において、高濃度(例えば、ドーズ量 $1 \times 10^{15} \text{cm}^{-2}$)の不純物を半導体基板10の露出した突起部10Aにイオン

23

注入することもできる（図 14 の（B）参照）。これによって、LDD（Lightly Doped Drain）構造を有するソース／ドレイン領域 18 を形成することができる。

【工程 130】ある領域に【工程 120】と【工程 130】との間において、制御電極 16 をマスクとして用いて、不純物を半導体基板 10 の露出した突起部 10A にイオン注入し、半導体基板 10 の露出した突起部 10A にソース／ドレイン領域 18 を形成し、【工程 140】におけるソース／ドレイン領域形成のためのイオン注入を省略することもでき、かかる製造方法も本発明の電氣的書き換えが可能なメモリ素子の製造方法に包含される。

【0080】実施の形態 1 における電氣的書き換えが可能なメモリ素子の製造方法においては、制御電極 16 と半導体基板 10 に形成されたチャネル形成領域 19 との間に、絶縁膜 11、12、20 によって被覆された浮遊電極である電荷蓄積部 12 を有する電界効果型トランジスタタイプのメモリ素子を形成することができる。しかも、制御電極 16 及びワード線 17 の延びる方向と平行な電荷蓄積部 12 の側壁面 12B 上に第 3 の絶縁膜 20 を介して形成され、制御電極 16 と同電位に保持されたシールド用導電層 21 が形成されるので、容量結合比を従来のメモリ素子よりも大きくすることが可能となり、動作電圧及び電源電圧を低下させることができるばかりか、昇圧回路の面積増加や昇圧時間の増大の抑制が可能であり、メモリ素子の高集積化、微細化をすることが可能となる。また、SA-STI 法によって素子分離領域 13 を形成するので、LOCOS 構造を有する素子分離領域よりもセル面積を縮小することが可能となる。

【0081】（実施の形態 2）実施の形態 2 は、実施の形態 1 において説明した電氣的書き換えが可能なメモリ素子の製造方法の変形である。実施の形態 2 にて製造されるメモリ素子の構造は、実質的に、実施の形態 1 にて説明したメモリ素子の構造と同じである。但し、実施の形態 2 のメモリ素子においては、第 3 の絶縁膜 20 がソース／ドレイン領域 18 の上方まで延在している点が、実施の形態 1 のメモリ素子と相違する。

【0082】以下、半導体基板等の模式的な一部断面図である図 15～図 17 を参照して、実施の形態 2 における電氣的書き換えが可能なメモリ素子の製造方法を説明する。尚、図 15～図 17 は、図 2 の矢印 A-A に沿ったと同様の半導体基板等の模式的な一部断面図である。

【0083】【工程 200】実施の形態 1 の【工程 100】～【工程 120】を実行する。即ち、半導体基板 10 の表面に第 1 の絶縁膜 11 を形成した後、第 1 の絶縁膜 11 上に第 1 の材料層 12A を堆積させ、次いで、第 1 の材料層 12A をパターニングする。次いで、パターニングされた第 1 の材料層 12A によって被覆されていない半導体基板 10 の領域に、SA-STI 構造を有する素子分離領域 13 を形成する。次に、全面に第

24

2 の絶縁膜 15 を堆積させた後、第 2 の材料層 16A を第 2 の絶縁膜 15 上に堆積させ、次いで、第 2 の材料層 16A、第 2 の絶縁膜 15 及び第 1 の材料層 12A をパターニングする。これによって、第 2 の材料層 16A から成る制御電極 16 及びワード線 17、並びに、第 1 の材料層 12A から成る電荷蓄積部 12 を形成することができる（図 10 の（A）及び（B）参照）。

【0084】【工程 210】次に、制御電極 16 及びワード線 17 の延びる方向と平行な電荷蓄積部 12 の側壁面 12B 上に第 3 の絶縁膜 20 を介してシールド用導電層 21 を形成する。実施の形態 2 においては、先ず、全面に SiO₂ から成る第 3 の絶縁膜 20 を CVD 法にて堆積させる（図 15 の（A）参照）。次いで、第 3 の絶縁膜 20 上に、スピンコート法にてレジスト材料から成る第 4 の材料層 50 を堆積させる（図 15 の（B）参照）。第 4 の材料層 50 の厚さは、制御電極 16 の頂面に形成された第 3 の絶縁膜 20 を十分に被覆する厚さとする。

【0085】その後、第 4 の材料層 50 及び第 3 の絶縁膜 20 を部分的に除去した後、第 3 の絶縁膜 20 をエッチバックすることによって、少なくとも制御電極 16 の頂面を露出させる（図 16 の（A）参照）。第 4 の材料層 50 及び第 3 の絶縁膜 20 の部分的な除去は、RIE 法に基づき第 4 の材料層 50 及び第 3 の絶縁膜 20 を同時にエッチバックしてもよいし、第 4 の材料層 50 をエッチバックした後、第 3 の絶縁膜 20 をエッチバックしてもよい。更には、第 4 の材料層 50 をエッチバックした後、第 3 の絶縁膜 20 を CMP 法に基づき部分的に研磨することで第 3 の絶縁膜 20 を部分的に除去してもよく、これによって、制御電極 16 の頂面上の第 3 の絶縁膜 20 が除去される。実施の形態 2 においては、電荷蓄積部 12 の側壁面 12B の全て、及び制御電極 16 の側壁面 16B の一部を被覆し、且つ、半導体基板 10（より具体的には、突起部 10A）の上方まで延在する第 3 の絶縁膜が得られるように、第 3 の絶縁膜をエッチバックする。次いで、アッシング処理を行うことによって、レジスト材料から成る第 4 の材料層 50 を除去する（図 16 の（B）参照）。尚、使用する第 4 の材料層の材料によっては、ドライエッチングやウエットエッチングによって第 4 の材料層を除去する。

【0086】【工程 220】次に、露出した制御電極 16 の表面に存在する自然酸化膜を除去するために、希フッ酸を用いて、露出した制御電極 16 の表面洗浄を行う。その後、実施の形態 1 の【工程 130】と同様に、導電体から成る第 3 の材料層 21A を全面に堆積させた後、第 3 の材料層 21A をエッチバックする。即ち、導電体である、不純物を含有した厚さ 0.1～0.3 μm の第 3 の材料層 21A を CVD 法にて全面に堆積させた後（図 17 の（A）参照）、第 3 の材料層 21A をエッチバックする（図 17 の（B）参照）。これによ

25

って、第3の絶縁膜20で被覆されていない制御電極16の側壁面16Bまで延在し、第3の材料層21Aから成り、制御電極16と接続されたシールド用導電層21を得ることができ、

【0087】[工程-230]以降、実施の形態1の[工程-140]を実行することによって、所望のメモリセルを完成させる。

【0088】尚、[工程-210]の前に、制御電極16をマスクとして用いて、低濃度（例えば、ドーズ量 $5 \times 10^{13} \text{cm}^{-2}$ ）の不純物を半導体基板10の露出した突起部10Aにイオン注入し、[工程-230]において、高濃度（例えば、ドーズ量 $1 \times 10^{15} \text{cm}^{-2}$ ）の不純物を半導体基板10の露出した突起部10Aにイオン注入することもできる。これによって、LDD構造を有するソース/ドレイン領域18を形成することができる。

【0089】あるいは又、[工程-210]の前に、制御電極16をマスクとして用いて、不純物を半導体基板10の露出した突起部10Aにイオン注入し、半導体基板10の露出した突起部10Aにソース/ドレイン領域18を形成し、[工程-230]におけるソース/ドレイン領域形成のためのイオン注入を省略することもでき、かかる製造方法も本発明の電氣的書き換えが可能なメモリ素子の製造方法に包含される。

【0090】実施の形態1の電氣的書き換えが可能なメモリ素子の製造方法においては、[工程-130]において、第3の絶縁膜20をRIE法に基づきエッチバックしたとき、第1の絶縁膜11が同時にエッチングされる虞が皆無とは云えない。また、第3の材料層21AをCVD法にて全面に堆積させる前に、制御電極16上の自然酸化膜の除去のためにフッ酸洗浄を行うことが好ましいが、このフッ酸洗浄によっても、第1の絶縁膜11が同時にエッチングされる虞が皆無とは云えない。第1の絶縁膜11がエッチングされて消失した場合、第3の材料層21Aとソース/ドレイン領域18とが短絡する。従って、このような問題が発生することを防止するために、第1の絶縁膜11の膜厚を或る程度厚くする必要がある場合がある。然るに、第1の絶縁膜11の膜厚を厚くした場合、シールド用導電層21と電荷蓄積部12との間の結合容量の低下を招く。一方、実施の形態2の電氣的書き換えが可能なメモリ素子の製造方法においては、ソース/ドレイン領域18の上方に第3の絶縁膜20が残されるので、第3の材料層21Aとソース/ドレイン領域18とが短絡するといった問題の発生を確実に防止することができ、しかも、第3の絶縁膜20の膜厚を薄くすることができる。

【0091】以上、本発明を、発明の実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。発明の実施の形態においては、専ら、浮遊電極型メモリ素子を例にとり説明を行ったが、電荷蓄積部の形態

26

は浮遊電極型に限定されず、図26に模式的な一部断面図を示すように、ナノクリスタル型メモリ素子とすることもできる。ナノクリスタル型の電荷蓄積部は、チャンネル形成領域より先に形成された第1の絶縁膜11（絶縁膜）11の上に形成された絶縁層61、及び、絶縁層61中に形成された導電性微小結晶粒子60から構成されている。導電性微小結晶粒子60はSiから構成されており、半球状である。ナノクリスタル型メモリ素子の詳細に関しては、例えば、文献“Volatile and Non-Volatile Memories in Silicon with Nano-Crystal Storage”, Sandip Tiwari, et al., IEDM 95, pp521-524 (20.4.1-20.4.4)、あるいは、文献“Fast and Long Retention-Time Nano-Crystal Memory”, H. I. Hanafi, et al., IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 43, No. 9, September 1996, pp1554-1558を参照されたい。

【0092】また、素子分離領域の構造は、SA-STI構造に限定されず、通常のトレンチ構造、LOCOS構造とすることもできる。また、半導体基板表面に第1の絶縁膜を形成する前に素子分離領域の形成を行ってもよく、かかる製造方法も本発明の電氣的書き換えが可能なメモリ素子の製造方法に包含される。発明の実施の形態にて説明した各種の材料や膜厚等も例示であり、適宜変更することができる。図27に模式的な一部断面図を示すように、電荷蓄積部12は、チャンネル形成領域19の上方のみならず、素子分離領域13上に形成された構造とすることもできる。尚、図27は図2の矢印A-Aに沿った同様の模式的な一部断面図である。図27に示した電荷蓄積部12の構造は、例えば、[工程-110]に引き続き、不純物を含有するポリシリコン層12DをCVD法にて全面に堆積させた後、かかるポリシリコン層12Dをエッチバックすることによって得ることができる。

【0093】

【発明の効果】本発明においては、シールド用導電層を設けることによって、容量結合比の増加を図り、しかも、電荷蓄積部とソース/ドレイン領域との間の容量結合による容量結合比の減少を防止することができる。その結果、動作電圧の低下及び昇圧時間の短縮、製造コストの低減、メモリ素子の高集積化、微細化をすることができる。しかも、従来の技術と異なり、十分な容量結合比を得るために電荷蓄積部の厚さを厚くする必要がなくなり、従来のメモリ素子の製造プロセスにおける問題点を確実に解決することが可能となる。また、メモリ素子を微細化したとき、電荷蓄積部とソース/ドレイン領域との間の結合容量等の寄生容量が大きいと、メモリ素子へのデータの書き込み速度が低下する虞があるが、シールド用導電層を設けることによって寄生容量の低減を図ることができる結果、メモリ素子へのデータの書き込み速度が低下することを抑制することができる。

27

【図面の簡単な説明】

【図 1】本発明のメモリ素子の模式的な一部断面図である。

【図 2】本発明のメモリ素子の模式的な配置図である。

【図 3】NAND型メモリセル及びNOR型メモリセルの等価回路を示す図である。

【図 4】発明の実施の形態 1 におけるメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図 5】図 4 に引き続き、発明の実施の形態 1 におけるメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図 6】図 5 に引き続き、発明の実施の形態 1 におけるメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図 7】図 6 に示した状態における模式的な配置図である。

【図 8】図 6 に引き続き、発明の実施の形態 1 におけるメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図 9】図 8 に引き続き、発明の実施の形態 1 におけるメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図 10】図 9 に引き続き、発明の実施の形態 1 におけるメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図 11】図 10 に引き続き、発明の実施の形態 1 におけるメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図 12】図 11 に引き続き、発明の実施の形態 1 におけるメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図 13】図 12 に引き続き、発明の実施の形態 1 におけるメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図 14】発明の実施の形態 1 におけるメモリ素子の製造方法の変形例を説明するための半導体基板等の模式的な一部断面図である。

【図 15】発明の実施の形態 2 におけるメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図 16】図 15 に引き続き、発明の実施の形態 2 におけるメモリ素子の製造方法を説明するための半導体基板

28

等の模式的な一部断面図である。

【図 17】図 16 に引き続き、発明の実施の形態 2 におけるメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図 18】従来のメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図 19】図 18 に引き続き、従来のメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図 20】図 19 に引き続き、従来のメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図 21】従来のNANDストリング型メモリセルの模式的な一部断面図である。

【図 22】メモリ素子の閾値電圧 V_{th} の分布を模式的に示す図である。

【図 23】従来のSA-STI法に基づくメモリ素子の模式的な一部断面図である。

【図 24】図 23 に示した従来のSA-STI法に基づくメモリ素子の模式的な配置図である。

【図 25】従来のSA-STI法に基づくメモリ素子の製造方法を説明するための半導体基板等の模式的な一部断面図である。

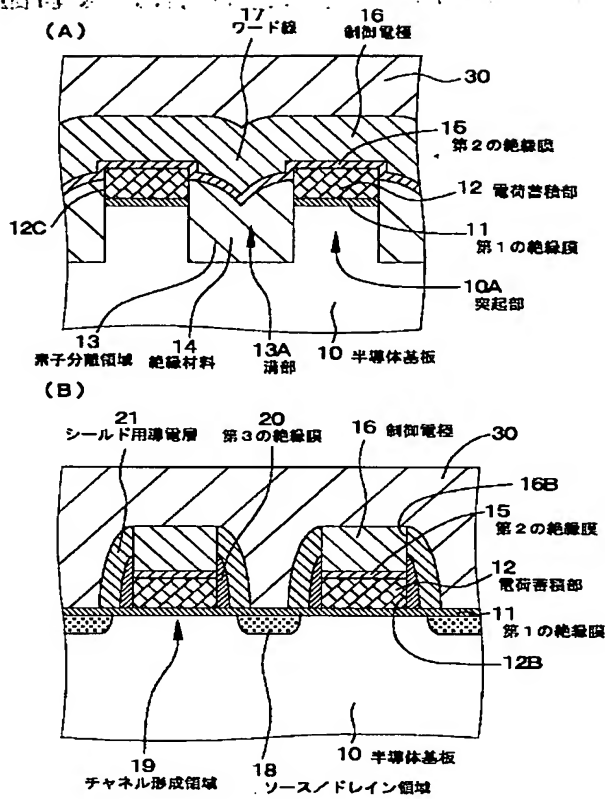
【図 26】ナノクリスタル型メモリ素子の模式的な一部断面図である。

【図 27】電荷蓄積部が素子分離領域上まで延びる構造を有する本発明のメモリ素子の模式的な一部断面図である。

【符号の説明】

10・・・半導体基板、10A・・・半導体基板の突起部、11・・・第1の絶縁膜、12・・・電荷蓄積部、12A・・・第1の材料層、12B、12C・・・電荷蓄積部の側壁面、13・・・素子分離領域、13A・・・溝部、14・・・絶縁材料、15・・・第2の絶縁膜、16・・・制御電極、16A・・・第2の材料層、16B・・・制御電極の側壁面、17・・・ワード線、18・・・ソース／ドレイン領域、19・・・チャネル形成領域、20・・・第3の絶縁膜、21・・・シールド用導電層、21A・・・第3の材料層、30・・・層間絶縁層、40・・・エッチング用マスク、50・・・第4の材料層、60・・・導電性微小結晶粒子、6f・・・絶縁層61

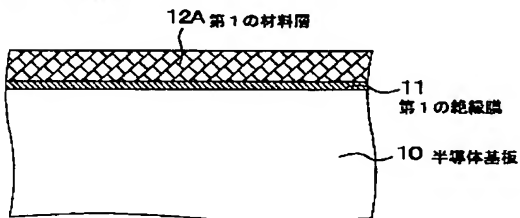
【図 1】



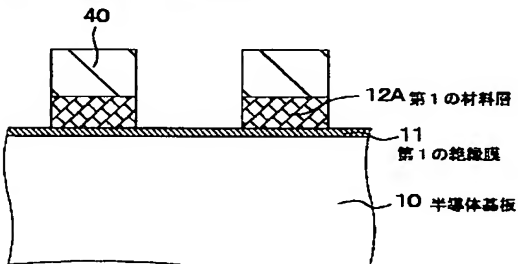
【図 4】

【図 4】

(A) 【工程-100】

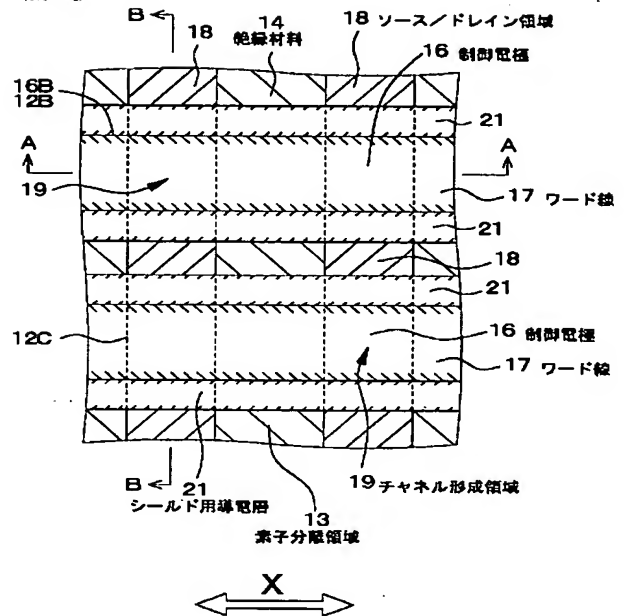


(B) 【工程-100】 続き



【図 2】

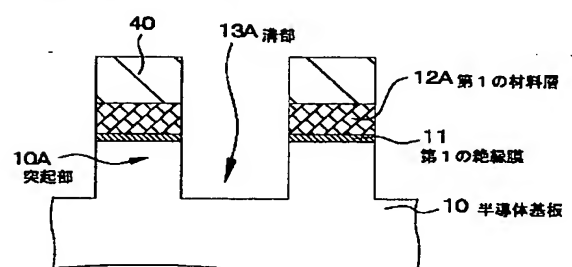
【図 2】



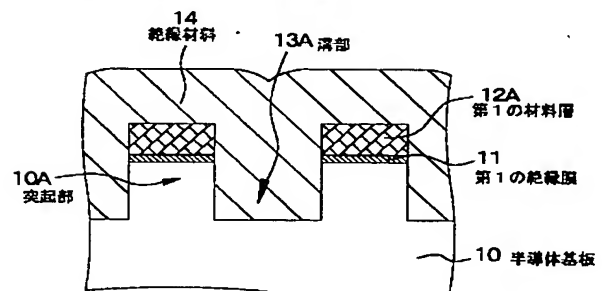
【図 5】

【図 5】

(A) 【工程-110】



(B) 【工程-110】 続き

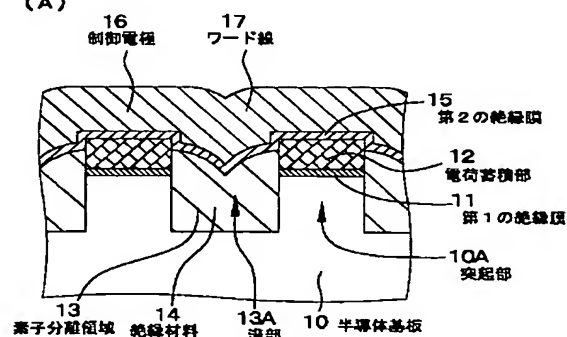


【図 10】

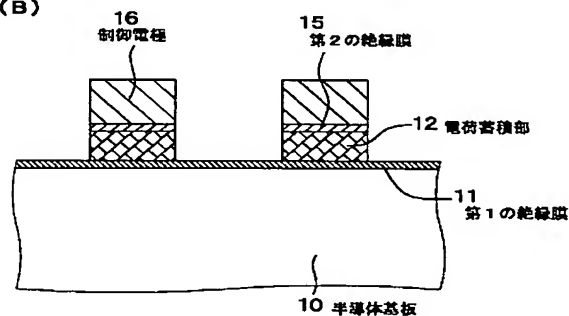
【附 10】

【工程－１２０】 続き

(A)



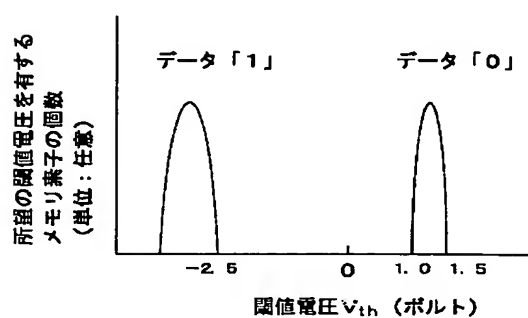
(B)



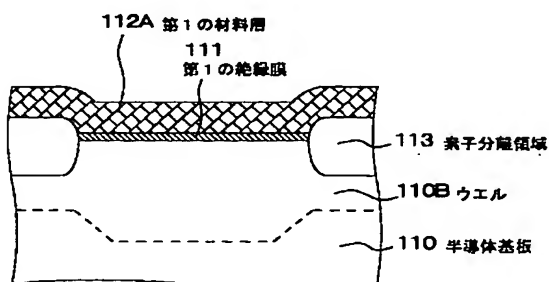
【图 2 2】

【圖 22】

100



閾値電圧 V_{th} (ボルト)

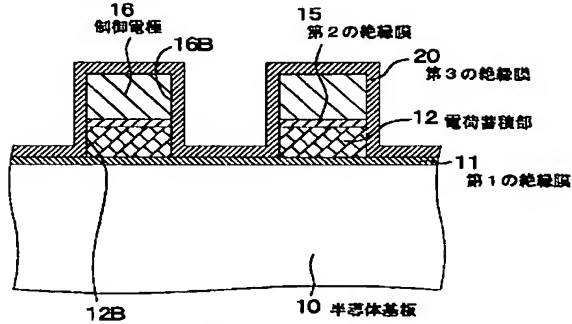


【図 11】

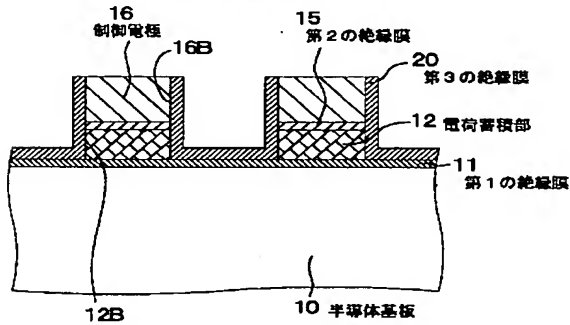
【図 12】

【図 13】

(A) 【工程-130】

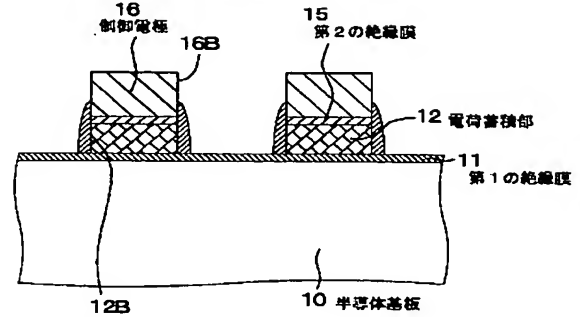


(B) 【工程-130】 続き

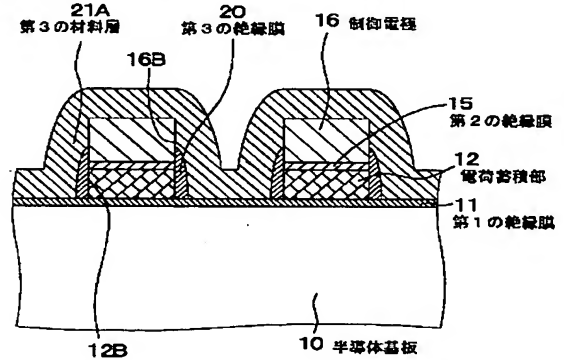


【図 12】

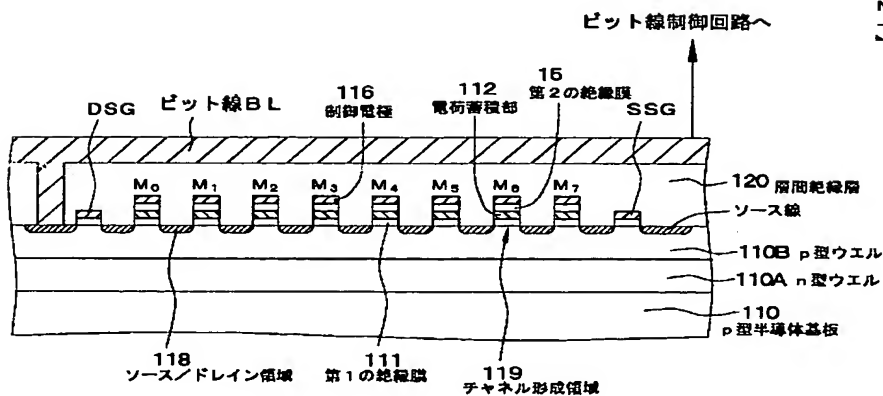
(A) 【工程-130】 続き



(B) 【工程-130】 続き



【図 21】



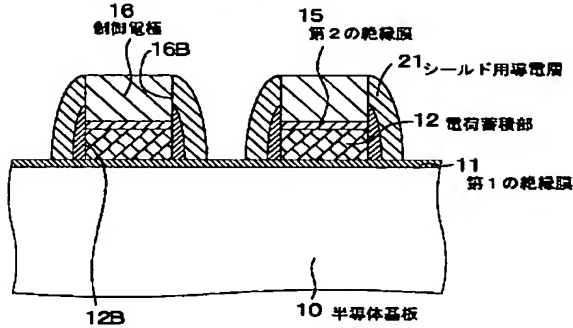
【図 21】

【図 13】

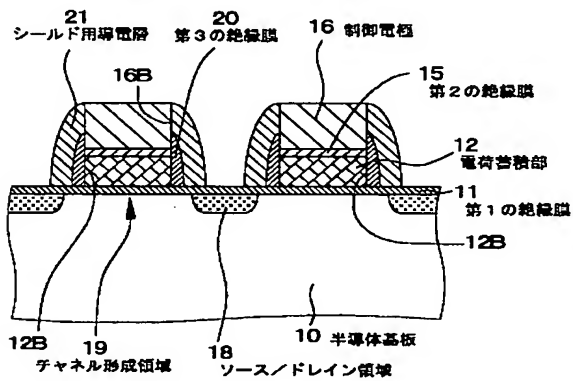
【図 14】

【図 13】

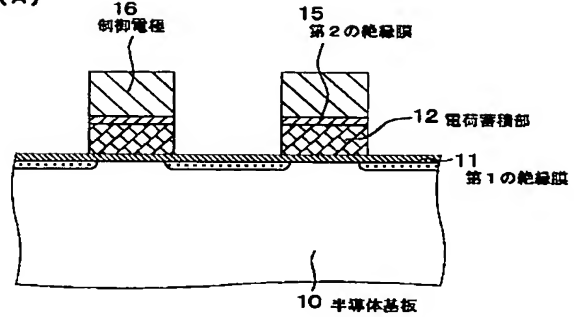
(A) 【工程-130】 続き



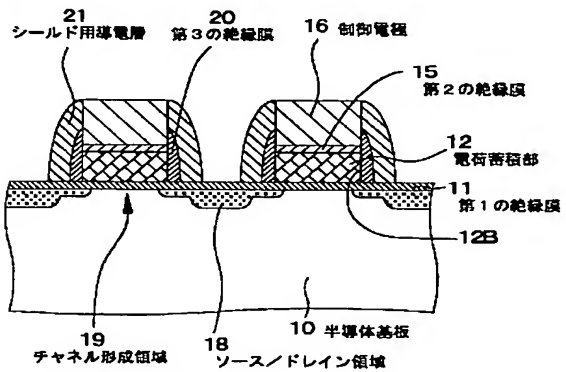
(B) 【工程-140】



(A)



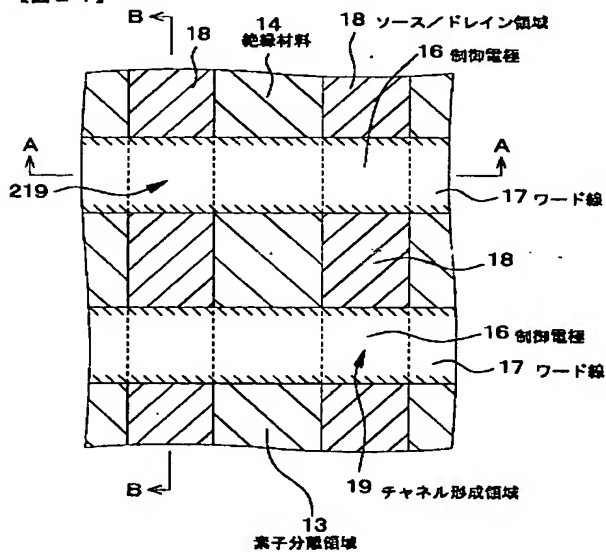
(B)



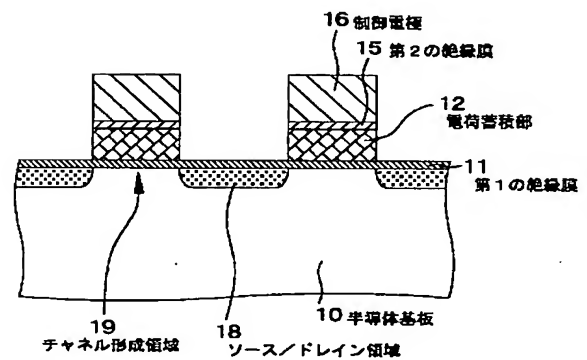
【図 25】

【図 24】

【図 24】



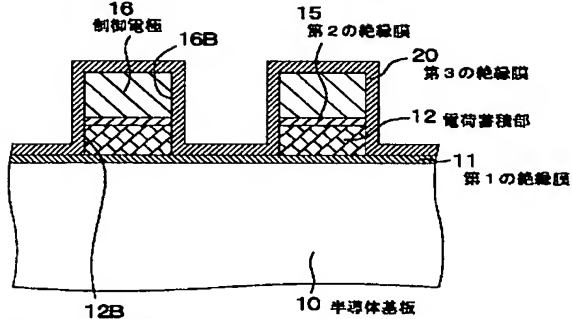
【図 25】



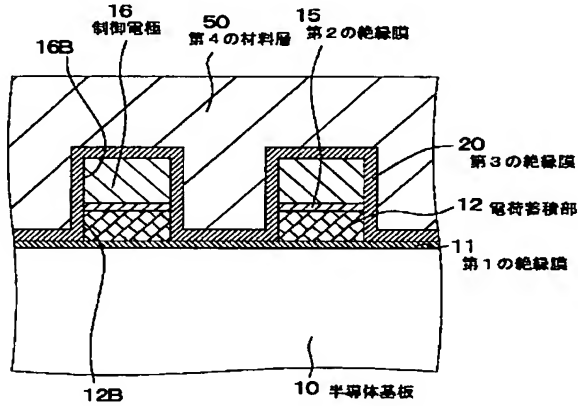
【図15】

【図15】

(A) 【工程-210】



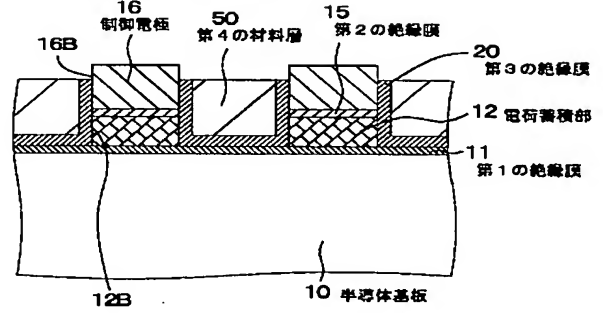
(B) 【工程-210】 続き



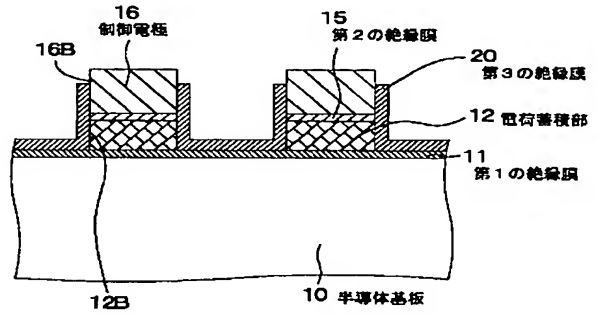
【図16】

【図16】

(A) 【工程-210】 続き

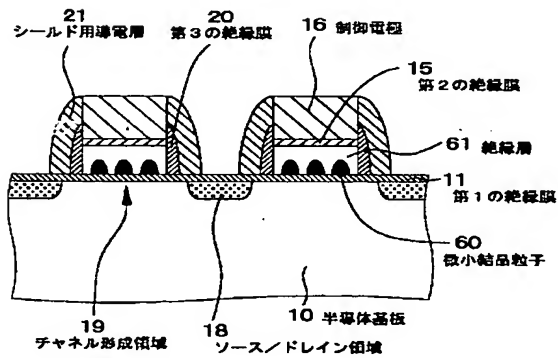


(B) 【工程-210】 続き



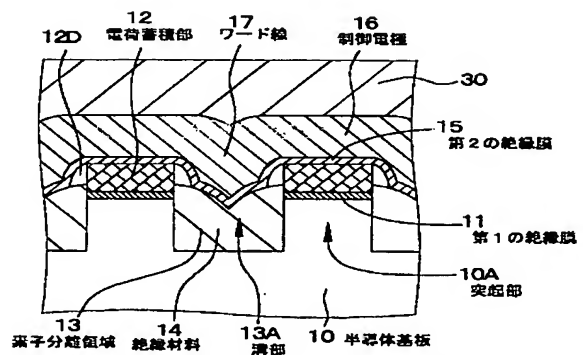
【図26】

【図26】



【図27】

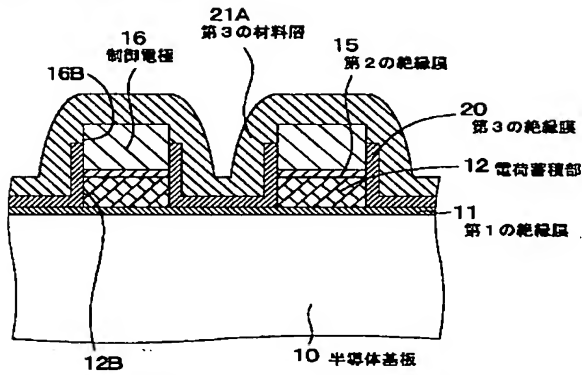
【図27】



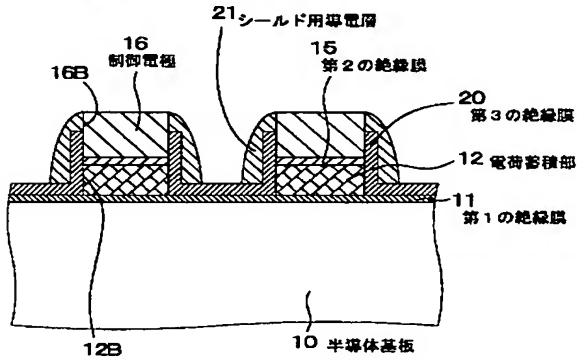
【図 17】

【図 17】

(A) 【工程-220】



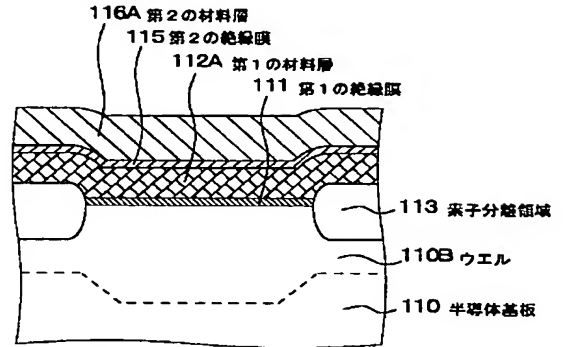
(B) 【工程-220】



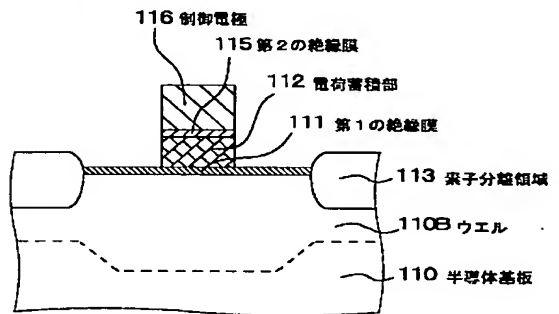
【図 19】

【図 19】

(A) 【工程-30A】



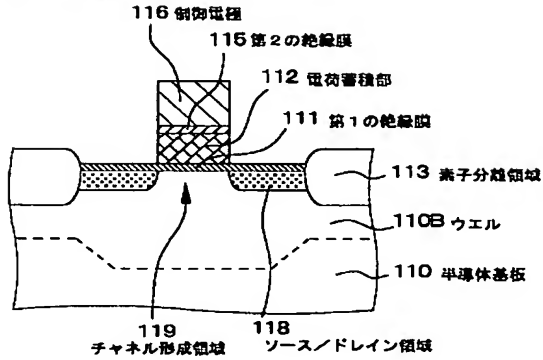
(B) 【工程-30A】 続き



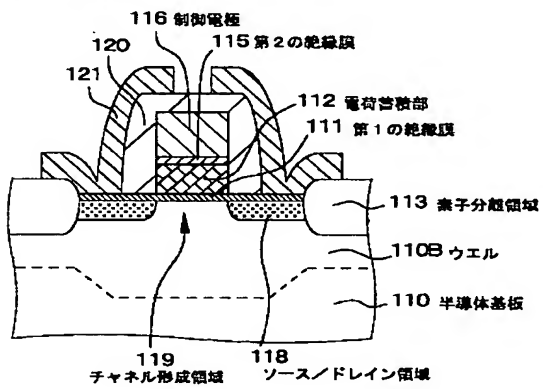
【図20】

【図20】

(A) 【工程-40A】



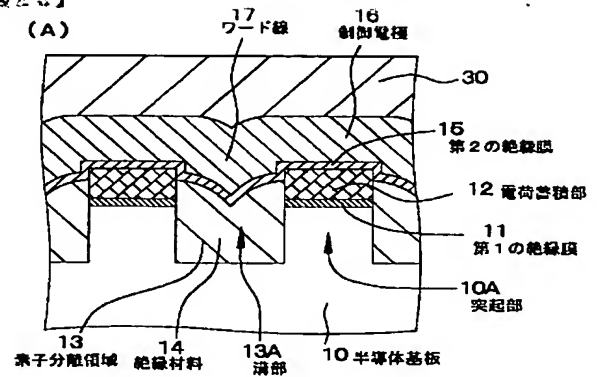
(B) 【工程-50A】



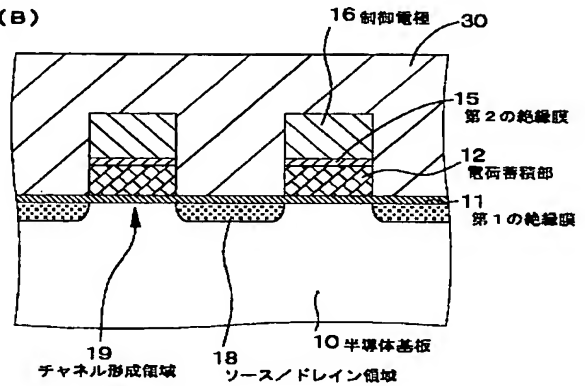
【図23】

【図23】

(A)



(B)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.